

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
HATANO et al.)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: IMAGE DISPLAY DEVICE HAVING A DRIVE)
CIRCUIT EMPLOYING IMPROVED ACTIVE)
ELEMENTS)
ATTORNEY DOCKET NO. NITT.0142)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

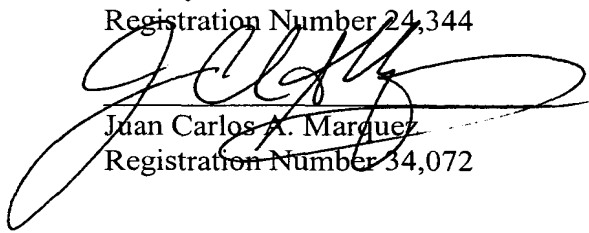
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of July 24, 2002, the filing date of the corresponding Japanese patent application 2002-215021.

A certified copy of Japanese patent application 2002-215021, is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344


Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
June 24, 2003

PATENT OFFICE JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application : July 24, 2002
Application Number : Patent Application No. 2002-215021
Applicant (s) : Hitachi, Ltd.

Dated this 23th day of May, 2003

Shinichiro OTA
Commissioner,
Patent Office
Certificate No. 2003-3038076

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月24日

出願番号

Application Number:

特願2002-215021

[ST.10/C]:

[JP2002-215021]

出願人

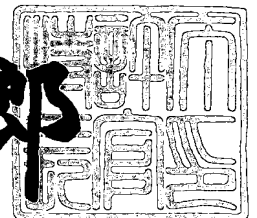
Applicant(s):

株式会社日立製作所

2003年 5月23日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038076

【書類名】 特許願

【整理番号】 310200873

【提出日】 平成14年 7月24日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 3/36
G02F 1/133

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 波多野 睦子

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 山口 伸也

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 芝 健夫

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 田井 光春

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 秋元 肇

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100093506

【弁理士】

【氏名又は名称】 小野寺 洋二

【電話番号】 03-5541-8100

【手数料の表示】

【予納台帳番号】 014889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】

多数の画素をマトリクス状に形成した画素領域と、前記画素領域の外側で前記画素に配線を介して駆動信号を供給する駆動回路領域とを有するアクティブ・マトリクス基板を備えた画像表示装置であって、

前記駆動回路領域には、外部入力する表示信号を前記画素領域に供給する駆動信号として順次処理するための機能が異なる複数段の回路部を有し、

前記複数段の回路部の 1 段以上には、略一方向に沿って連続した粒界をもつ略帯状結晶シリコン膜の不連続改質領域の前記粒界方向にキャリア移動方向を持つ如く形成したアクティブ素子を有することを特徴とする画像表示装置。

【請求項 2】

前記駆動回路領域を構成する同一機能を有する各段の回路部は、前記アクティブ・マトリクス基板の周辺の一辺に沿って所定の間隔で配列されていることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

前記駆動回路領域を構成する同一機能を有する各段の回路部は、前記アクティブ・マトリクス基板の周辺の対向する二辺に沿って所定の間隔で配列されていることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 4】

前記不連続改質領域にアクティブ素子を形成した回路部は前記駆動回路領域の最終出力段であり、前記最終出力段の出力を前記画素領域の対応する画素に接続する配線の間隔が前記画素領域側で大であることを特徴とする請求項 2 または 3 に記載の画像表示装置。

【請求項 5】

前記不連続改質領域にアクティブ素子を形成した回路部は、前記アクティブ・マトリクス基板の一辺に平行な 2 列以上で、かつ所定の間隔で配列されていることを特徴とする請求項 2 乃至 4 の何れかに記載の画像表示装置。

【請求項 6】

前記回路部のそれぞれを構成する個々のアクティブ素子は、前記アクティブ・マトリクス基板の周辺の対向する二辺に沿って所定の間隔で配列されていることを特徴とする請求項 5 に記載の画像表示装置。

【請求項 7】

前記不連続改質領域にアクティブ素子を形成した回路部は、前記アクティブ・マトリクス基板の一辺に平行な 2 列以上で、かつ互いに千鳥状に配列されていることを特徴とする請求項 2 乃至 4 の何れかに記載の画像表示装置。

【請求項 8】

前記回路部のそれぞれを構成する個々のアクティブ素子は、前記アクティブ・マトリクス基板の一辺に平行な 2 列以上で、かつ互いに千鳥状に配列されていることを特徴とする請求項 7 に記載の画像表示装置。

【請求項 9】

前記不連続改質領域にアクティブ素子を形成した回路部は、当該回路部の回路規模に応じた異なる面積を有することを特徴とする請求項 5 乃至 8 の何れかに記載の画像表示装置。

【請求項 10】

前記アクティブ素子は薄膜トランジスタであることを特徴とする請求項 1 乃至 9 の何れかに記載の画像表示装置。

【請求項 11】

前記アクティブ・マトリクス基板に所定の間隔で対向配置されたカラーフィルタ基板を有し、前記アクティブ・マトリクス基板と前記カラーフィルタ基板の間に液晶層を有することを特徴とする請求項 1 乃至 10 の何れかに記載の画像表示装置。

【請求項 12】

前記アクティブ・マトリクス基板の前記画素領域を構成する画素毎に有機 EL 層を有することを特徴とする請求項 1 乃至 11 の何れかに記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に係り、特に絶縁基板上に形成された半導体膜の結晶構造をレーザ光で改質し、改質された半導体膜で駆動回路のアクティブ素子を形成した画像表示装置に関する。

【0002】

【従来の技術】

マトリクス配列された画素の駆動素子として薄膜トランジスタ等のアクティブ素子を用いたアクティブ・マトリクス型表示装置（またはアクティブ・マトリクス型駆動方式の画像表示装置、あるいは単にディスプレイ装置とも称する）が広く使用されている。この種の画像表示装置の多くは、半導体膜としてシリコン膜を用いて形成された薄膜トランジスタ（TFT）等のアクティブ素子で構成された多数の画素回路と駆動回路とを絶縁基板上に配置することで良質の画像を表示することができる。ここでは、上記アクティブ素子として、その典型例である薄膜トランジスタを例として説明する。

【0003】

半導体膜としてこれまで一般的に用いられてきた非晶質シリコン半導体膜（アモルファスシリコン半導体膜）を用いた薄膜トランジスタでは、そのキャリア（電子またはホール）移動度に代表される薄膜トランジスタの性能に限界があるために、高速、高機能が要求される回路を構成することは困難であった。より優れた画像品質を提供するのに必要な高移動度の薄膜トランジスタの実現にはアモルファスシリコン膜（以下、非晶質シリコンとも称する）をあらかじめポリシリコン膜（以下、多結晶シリコン膜とも称する）に改質（結晶化）し、ポリシリコン膜を用いて薄膜トランジスタを形成するのが有効である。この改質のためにはエキシマレーザ光等のレーザ光を照射してアモルファスシリコン膜をアニールする手法が用いられている。

【0004】

この種のレーザアニールに関する手法については例えば、T.C.Angelis et al; Effect of Excimer Laser Annealing on the Structural and Electrical Properties of Polycrystalline Silicon Thin-Film Transistor, J. Appl. Phy., V

ol.86, pp4600-4606,1999 あるいは H. Kuriyama et al; Lateral Grain Growth of Poly-Si Films with a Specific Orientation by an Eximer Laser Annealing Method, Jpn. J. Appl. Phys., Vol.32, pp6190-6195,1993 あるいは K.Suzuki et al; Correlation between Power Density Fluctuation and Grain Size Distribution of Laser annealed Poly-Crystalline Silicon, SPIE Conference, Vol.3618, pp310-319, 1999 などに詳細に述べられている。

【 0 0 0 5 】

エキシマレーザ光照射を使用するアモルファスシリコン膜の結晶化による改質方法を図 3 4 で説明する。図 3 4 は最も一般的なエキシマパルスレーザ光照射を走査することによるアモルファスシリコン膜の結晶化方法の説明図であり、図 3 4 (a) は照射される半導体層を形成した絶縁基板の構成、同 (b) はレーザ光の照射で改質される状態を示す。この絶縁基板にはガラスやセラミックスが用いられる。

【 0 0 0 6 】

図 3 4 において、絶縁基板 SUB 上に下地膜 (Si N 等、図示せず) を介して堆積したアモルファスシリコン膜 ASI に幅が数 nm 乃至数 1 0 0 nm 程度の線状のエキシマレーザ光 ELA を照射し、矢印で示したように一方向 (x 方向) に沿って 1 乃至数パルス毎に照射位置を移動する走査を行うことによりアモルファスシリコン膜 ASI をアニールし、絶縁基板 SUB 全体のアモルファスシリコン膜 ASI をポリシリコン膜 PSI に改質する。この方法で改質したポリシリコン膜 PSI にエッチング、配線形成、イオン打ち込み等の種々の加工を施して、各々の画素部あるいは駆動部に薄膜トランジスタ等のアクティブ素子を有する回路を形成する。この絶縁基板を用いて液晶表示装置や有機 EL 表示装置等のアクティブ・マトリクス方式の画像表示装置を製造する。

【 0 0 0 7 】

図 3 5 は図 3 4 におけるレーザ光照射部の部分平面図と薄膜トランジスタ部の構成例を説明する要部平面図である。図 3 5 (a) に示したように、レーザ光照射部には 0 . 0 5 乃至 0 . 5 μ m 程度の結晶化した多数のシリコン粒子 (多結晶シリコン) PSI が面内均一に成長する。各シリコン粒子 (すなわちシリコン結

晶)の粒界の殆どはそれぞれが自身で閉じている(全方向に隣接するシリコン粒子の間に粒界が存在する)。図35(a)に口で囲んだ部分を個々の薄膜トランジスタ等のアクティブ素子のための半導体膜となるトランジスタ部T R Aとなる。従来のシリコン膜の改質はこのような結晶化を意味している。

【0008】

上記の改質されたシリコン膜(ポリシリコン膜P S I)を利用して画素回路を形成するには図35(b)に示すように結晶化したシリコンの一部をトランジスタ部として利用するために、図35(a)のトランジスタ部T R Aとなる部分を除く不要部をエッチングで除去してシリコン膜の島(アイランド)を形成し、このアイランドP S I-L上にゲート絶縁膜(図示せず)、ゲート電極G T、ソース電極S D 1、ドレイン電極S D 2を配置して薄膜トランジスタを製造するのである。

【0009】

【発明が解決しようとする課題】

上記の従来技術においては、絶縁基板上に改質したポリシリコン膜で薄膜トランジスタを形成して動作性能のよい薄膜トランジスタ等のアクティブ素子を配置するものであるが、前記したように、ポリシリコン膜の結晶を用いた例えば薄膜トランジスタのチャネルにおけるキャリア移動度(電子移動度あるいはホール移動度、以下では単に電子移動度とも称する)には限界がある。すなわち、エキシマレーザ光の照射で結晶化したポリシリコン膜の結晶の粒界は前記図34に示したように粒状をなす個々の結晶毎に閉じており、ソース電極とドレイン電極の間のチャネルにおけるキャリアの更に大きな移動度を実現するには限界がある。近年の高精細化に伴って駆動回路の回路密度も稠密となっている。このような駆動回路における回路密度が極めて大きい薄膜トランジスタ等のアクティブ素子には、さらに大きなキャリア移動度が要求される。

【0010】

本発明の目的は、マトリクス状に配置された画素部を駆動するための駆動素子に高速の移動度で動作する高性能の薄膜トランジスタ回路等を有するアクティブ・マトリクス基板を備えた画像表示装置を提供することにある。なお、本発明は

、画像表示装置のための絶縁基板に形成された半導体膜の改質に限るものではなく、他の基板例えばシリコンウエハ上に形成された半導体膜の改質等にも同様に適用できる。

【0011】

【課題を解決するための手段】

上記の課題を解決するための手段として、本発明は 絶縁基板の全域に形成されたアモルファスシリコン膜の全面にエキシマレーザ光を照射してポリシリコン膜に改質し、あるいはポリシリコン膜を形成した絶縁基板を作成し、この絶縁基板の画素領域の周辺に配置される駆動回路領域のポリシリコン膜に固体レーザを用いたパルス変調レーザ光あるいは擬似CWレーザ光を選択的に照射しながら所定の方向に走査して、当該走査方向に成長した結晶が連続した粒界を持つ如く結晶サイズが大きく改質された略帯状結晶シリコン膜の不連続改質領域を形成する。

【0012】

不連続改質領域は概して矩形状とし、この矩形状の不連続改質領域内に駆動回路部等の所要の回路部を作り込む際に、当該回路部を構成する個々の回路の薄膜トランジスタ等のアクティブ素子のチャネル方向が前記略帯状結晶シリコン膜の粒界方向に略並行となるようにする。なお、本発明では、上記のパルス変調レーザ光あるいは擬似CWレーザ光の照射で略帯状結晶シリコン膜の不連続改質領域を作成する手法をSELAX (Selectively Enlarging Laser Crystallization) と称する。

【0013】

また、本発明による画像表示装置の製造においては、好ましくは、往復動作を用いて駆動回路部のポリシリコン膜に選択的にレーザ光を照射する上記SELAX処理により、上記略帯状結晶シリコン膜の不連続改質領域を形成する。この不連続改質領域は駆動回路領域の全領域に形成することもできるが、当該駆動回路の回路密度等を考慮した必要な領域に略矩形状に形成するのが推奨される。特に、略矩形状の不連続改質領域を駆動回路領域の上記必要な領域に主として配列して形成することにより、レーザ光照射処理の効率と個々の略帯状結晶シリコン膜

の膜質を全ての不連続改質領域で均一化できる。

【 0 0 1 4 】

本発明による略帯状結晶シリコン膜は、レーザ光の走査方向と直角方向を幅とし、上記走査方向を長さとしたとき、例えば、幅が $0.1\mu\text{m}$ 乃至 $10\mu\text{m}$ 、長さが $1\mu\text{m}$ 乃至 $100\mu\text{m}$ 程度の単結晶の集合体である。このような略帯状結晶シリコン膜を用いることで良好なキャリア移動度を確保できる。その値は、電子移動度としておよそ $300\text{cm}^2/\text{V}\cdot\text{s}$ 以上、望ましくは $500\text{cm}^2/\text{V}\cdot\text{s}$ 以上にもなる。

【 0 0 1 5 】

一方、従来のエキシマレーザを用いたシリコン膜の改質では、レーザ光照射部には $0.05\mu\text{m}$ 乃至 $0.5\mu\text{m}$ 程度の結晶化した多数のシリコン粒子（ポリシリコン）がランダムに成長する。このようなポリシリコン膜の電子移動度としてはおおよそ $200\text{cm}^2/\text{V}\cdot\text{s}$ 以下、平均的には $120\text{cm}^2/\text{V}\cdot\text{s}$ 程度である。これは、アモルファスシリコン膜の電子移動度である $1\text{cm}^2/\text{V}\cdot\text{s}$ 以下に比べれば性能は向上しているが、本発明の略帯状結晶シリコン膜からなる不連続改質領域は上記の電子移動度よりもさらに高速の電子移動度を有する。

【 0 0 1 6 】

本発明による画像表示装置を構成する絶縁基板の画素領域に有するシリコン膜はCVD法あるいはスパッタ法で形成されたアモルファスシリコン膜をエキシマレーザ光の照射で改質したポリシリコン膜であり、駆動回路領域に有するシリコン膜はポリシリコン膜に固体レーザを用いたパルス変調レーザ光あるいは擬似CWレーザ光の照射でさらに結晶構造が改質された略帯状結晶シリコン膜である。なお、ここで言うパルス変調とは、パルスの幅あるいはパルスとパルスの間隔、もしくはこれら両者を変化させる変調方法を意味する。具体的には、CW（連続発振）レーザを、電気誘光変調（Electro-Optic:EO変調）することで、このような変調パルスを得ることができる。

【 0 0 1 7 】

本発明では絶縁基板上の駆動回路領域のポリシリコン膜に選択的にパルス変調レーザ光あるいは擬似CWレーザ光を走査しながら照射することで、選択的に照

射される領域、すなわち略帯状結晶シリコン膜に改質された領域が絶縁基板面に沿って略矩形状の配列に形成される。以下、この略矩形状の領域を仮想タイルとも称する。なお、上記の仮想タイルと当該仮想タイルを構成する個々の回路部の改質領域は、その形成される個々の回路部あるいは回路に対応させてその改質部分を複数個ごとにブロック化して配列される。このような仮想タイルを採用することで、前記した効果に加えて薄膜トランジスタ等を形成する過程でエッチングで除去される半導体膜の領域にはレーザー光を照射する必要がなくなり、不要な作業を大幅に低減できる。

【 0 0 1 8 】

本発明でアモルファスシリコン膜をポリシリコン膜に改質するために使用するエキシマレーザー、または発振波長 2 0 0 n m 乃至 1 2 0 0 n m の連続発振固体レーザー、あるいは同波長範囲の固体パルスレーザーであることが好ましい。連続発振レーザー光はアニール対象であるアモルファスシリコンに対して吸収のある波長、即ち紫外波長から可視波長が望ましく、より具体的には A r レーザ、N d : Y A G レーザ、N d : Y V O 4 レーザ、N d : Y L F レーザの第二高調波及び第三高調波又は第四高調波などが適用可能である。しかし、出力の大きさ及び安定性を考慮すると、L D (レーザーダイオード) 励起 N d : Y A G レーザの第二高調波 (波長 5 3 2 n m) あるいは N d : Y V O 4 レーザの第二高調波 (波長 5 3 2 n m) が最も望ましい。かかる波長の上、下限はシリコン膜の光吸収が効率よく生じる範囲と経済的に入手できる安定なレーザー光源の兼ね合いから定まるものである。なお、このポリシリコン膜は、膜の成膜の段階で形成することもできる。例えば、c a t - C V D (カタリティック ベーパー デポジション) 法等で直に基板あるいは下地上に形成することができる。

【 0 0 1 9 】

本発明の固体レーザーはシリコン膜に吸収するレーザー光を安定に供給できるとともに、ガスレーザーに特有なガス交換作業や発信部の劣化等の経済負担が少ないのが特徴であり、経済的にシリコン膜を改質する手段として好ましい。しかし、本発明では該レーザーが波長 1 5 0 n m 乃至 4 0 0 n m のエキシマレーザーであることを積極的に排除するものではない。

【 0 0 2 0 】

本発明でポリシリコン膜を略帯状結晶シリコン膜に改質するために使用するレーザーは発振波長 2 0 0 n m 乃至 1 2 0 0 n m の連続発振固体レーザー、あるいはパルス変調レーザー若しくは擬似 C W 固体レーザー（擬似連続発振固体レーザー）であることが好ましい。擬似 C W レーザーを高い周波数のパルスレーザーを擬似連続発振レーザーと看做し、所謂モードロック技術を用いることで、波長が U V 領域であっても、周波数 1 0 0 M H z 以上のパルスレーザーを得ることができる。照射レーザーが短パルスであっても、シリコンの凝固時間（ $< 1 0 0 \text{ ns}$ ）以内に次のパルスが照射されると、シリコン膜は固化することなく溶解時間を延長することができるので、擬似的 C W とみなせる。また、電気光学変調（E l e c t r o - O p t i c : E O 変調）と組み合わせることで、高効率でレーザーエネルギーを吸収させ、レーザー光の走査方向に長さを制御した結晶シリコン膜（以下、略帯状結晶シリコン膜とも称する）を得ることができる。

【 0 0 2 1 】

本発明ではレーザー光を光学的に調整し、強度の空間分布を均一化したうえでレンズ系を用いて集光して照射するのが望ましい。本発明ではレーザー光を断続的走査で照射する時の照射幅は駆動回路領域に必要な領域の幅とそのピッチに占める割合の両者から経済性を勘案して定められる。前記仮想タイル形状を形成する照射部の幅と長さは適用回路のサイズ、集積度等を勘案して定める。本発明は、レーザー光を移動させて絶縁基板上を走査するものに限らず、絶縁基板を X - Y ステージに載置し、この X - Y ステージの移動に同期してレーザー光の照射を断続的に行うようにしてもよい。

【 0 0 2 2 】

本発明では、連続パルスレーザー光照射を $5 0 \text{ mm/s}$ 乃至 $3 0 0 0 \text{ mm/s}$ の速度で走査するのが望ましい。この走査速度の下限は絶縁基板内の駆動回路領域を走査するのに要する時間と経済負担の兼ね合いから定められる。なお、照射速度の上限は走査に用いる機械設備の能力から制限されるものである。

【 0 0 2 3 】

本発明では該レーザー照射がレーザー光を光学系で収束したビームを用いて走査す

る。このとき、単一のレーザ光を単一のビームに収束する光学系を使用してもよい。しかし、単一のレーザ光を複数に分割して照射することにより、複数の画素部の列に同時走査で照射することで大形サイズの基板を短時間で処理する場合には等に好適であり、レーザ光の照射の効率を著しく向上させることが可能となる。また、本発明では該レーザ光照射が複数のレーザ発振機を並列動作させてもよく、この方法の採用も大形サイズの基板を短時間で処理する場合には特に好ましい。

【 0 0 2 4 】

さらに本発明では、略帯状結晶に改質されたシリコン膜で形成されるアクティブ素子回路が一般的なトップゲート型薄膜トランジスタ回路に限定されることなく、ボトムゲート型薄膜トランジスタ回路とすることも可能である。NチャンネルMISもしくはPチャンネルMISのみの単チャンネル回路を必要とする場合には製造工程の簡略化からボトムゲート型がむしろ好ましい場合もある。このような場合には、ゲート配線上に絶縁膜を介したシリコン膜をレーザ照射で略帯状結晶シリコン膜に改質するので、ゲート配線材料には高融点金属の採用が好ましく、タングステン（W）もしくはモリブデン（Mo）を主成分とするゲート配線材料の使用が好ましい。

【 0 0 2 5 】

本発明の駆動回路の薄膜トランジスタ等の半導体構造を有する絶縁基板をアクティブ・マトリクス基板として使用することで、優れた画質の液晶表示装置を安価に提供できる。また、本発明のアクティブ・マトリクス基板を使用することで優れた画質の有機EL表示装置をも安価に提供できる。さらに本発明では、液晶表示装置、有機EL表示装置にとどまることなく、同様の半導体構造を駆動回路に有する他の方式のアクティブ・マトリクス型画像表示装置、さらには半導体ウエハ上に作り込む各種の半導体装置にも適用可能である。

【 0 0 2 6 】

【発明の実施の形態】

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。

【 0 0 2 7 】

図 1 は本発明による画像表示装置を液晶表示装置に適用した一実施例を模式的に説明するための平面図である。図 1 における参照符号 SUB 1 はアクティブ・マトリクス基板、また SUB 2 はアクティブ・マトリクス基板 SUB 1 に貼り合わせたカラーフィルタ基板 SUB 2 であり、液晶層を介して貼り合わせた端部を仮想線で示す。なお、カラーフィルタ基板 SUB 2 の内面にはカラーフィルタ、あるいは共通電極が形成されているが、図 1 では図示を省略してある。なお、以下では、カラーフィルタ基板を用いた液晶表示装置を例として説明するが、アクティブ・マトリクス基板側にカラーフィルタを形成した形式の液晶表示装置にも同様に適用できる。

【 0 0 2 8 】

アクティブ・マトリクス基板 SUB 1 は、その中央の大部分に画素領域 PAR を有し、画素領域 PAR の外側で画素領域 PAR に形成された多数の画素に駆動信号を供給する回路を形成した駆動回路領域 DAR 1、DAR 2、DAR 3 を有する。本実施例では、アクティブ・マトリクス基板 SUB 1 の一方の長辺（図 1 の上辺）に画素に対して表示データを供給するデータ駆動回路 DDR 1、DDR 2、・・・DDR n-1、DDR n を形成した駆動回路領域 DAR 1 が配置されている。また、駆動回路領域 DAR 1 に隣接する両辺（図 1 の左右辺）には走査回路 GDR 1、GDR 2 を有する駆動回路領域 DAR 2 がそれぞれ配置されている。また、アクティブ・マトリクス基板 SUB 1 の他方の長辺（図 1 の下辺）には所謂プリチャージ回路を有する駆動回路領域 DAR 3 が配置されている。

【 0 0 2 9 】

アクティブ・マトリクス基板 SUB 1 とカラーフィルタ基板 SUB 2 とが重畳する四隅にはアクティブ・マトリクス基板 SUB 1 側からカラーフィルタ基板 SUB 2 の共通電極に共通電極電位を供給するためのパッド CPAD を有する。このパッド CPAD は必ずしも四隅に設ける必要はなく、何れかの一隅、または何れかの二隅あるいは三隅に設けてもよい。

【 0 0 3 0 】

アクティブ・マトリクス基板 SUB 1 の上記一方の長辺のカラーフィルタ基板

SUB 2 と重畳しない端縁には、データ駆動回路 DDR (DDR 1、DDR 2、
 DDR n - 1、DDR n) の入力端子 DTM (DTM 1、DTM 2、
 DTM n - 1、DTM n) および走査回路 GDR (GDR 1、GDR 2)
 の入力端子 GTM (GTM 1、GTM 2) が形成されている。画素領域 PAR に
 マトリクス配列される画素は、データ駆動回路 DDR から延びるデータ線 DL と走
 査回路 GDR から延びるゲート線 GL の交差部に設けられる。この画素は薄膜ト
 ランジスタ TFT と画素電極 PX で構成される。

【 0 0 3 1 】

このような構成において、走査回路 GDR (GDR 1、GDR 2) で選択され
 たゲート線 GL に接続した薄膜トランジスタ TFT がオンとなり、データ駆動回
 路 DDR (DDR 1、DDR 2、. DDR n - 1、DDR n) から延び
 るデータ線 DL を介して供給される表示データ電圧が画素電極 PX に印加され、
 カラーフィルタ基板 SUB 2 側に有する共通電極との間に電界が発生する。この
 電界によって当該画素部分の液晶層の液晶配向方向が変調されて画素を表示する
 。

【 0 0 3 2 】

なお、図 1 に示した液晶表示装置では、走査回路 GDR を二系統の GDR 1 と
 GDR 2 に分け、それらをアクティブ・マトリクス基板 SUB 1 の左右に配置し
 、各走査回路 GDR 1 と GDR 2 から延びるそれぞれのゲート線 GL を交互に櫛
 歯状に配置してある。しかし、これに限らず、走査回路 GDR を一個とし、アク
 ティブ・マトリクス基板 SUB 1 の左右何れかの一辺に配置することもできる。
 後述の説明中では、上記のように走査回路 GDR を一個としたものを例として説
 明している。本発明は、上記した駆動回路領域 DAR 1、DAR 2、DAR 3 の
 全てに適用できるが、回路構成が最も精細な駆動回路領域 DAR 1 に主として適
 用される。

【 0 0 3 3 】

図 2 は図 1 におけるデータ駆動回路部分の回路構成例を説明するブロック図で
 ある。図 2 において、参照符号 PAR は画素領域を示す。画素領域には前記した
 画素 PX が水平 (x) 方向と垂直 (y) 方向とにマトリクス状に配列されている

(画素を画素電極 P X で示す)。また、参照符号 D D R はデータ駆動回路である。データ駆動回路 D D R は水平シフトレジスタ H S R、ラッチ回路 L T F からなる第 1 ラッチ回路 L T 1、ラッチ回路 L T S からなる第 2 ラッチ回路 L T 2、デジタルーアナログ変換回路 D / A からなるデジタルーアナログ変換器 D A C、バッファ回路 B A、サンプリングスイッチ S S W からなるサンプリング回路 S A M P、垂直シフトレジスタ V S R から構成される。

【 0 0 3 4 】

図示しない信号源から入力端子 D T M を介して入力する各種のクロック信号 C L は水平シフトレジスタ H S R に入り、データ駆動回路 D D R (D D R 1、D D R 2、・・・ D D R n - 1、D D R n) を横断して順次転送される。また、表示データ D A T A はデータライン D A T A - L から第 1 ラッチ回路 L T 1 にラッチされる。第 1 ラッチ回路 L T 1 にラッチされた表示データはラッチコントロールラインに印加されるラッチコントロール信号で第 2 ラッチ回路 L T 2 にラッチされる。第 2 ラッチ回路 L T 2 にラッチされた表示データはデジタルーアナログ変換器 D A C、バッファ回路 B A、サンプリング回路 S A M P を通って画素領域 P A R における垂直シフトレジスタ V S R で選択されたゲート線に接続した画素 P X に供給される。

【 0 0 3 5 】

本実施例では、データ駆動回路 D D R の部分にパルス変調レーザ光の走査による選択的な照射で当該走査方向に連続した粒界を持つ如く改質された略帯状結晶シリコン膜の不連続改質領域を適用するものである。この不連続改質領域を適用する範囲を参照符号 S X で示す。範囲 S X の全てに不連続改質を施すことが理想的である。しかし、スループット等の生産効率を考慮して、その一部の回路に不連続改質を施してもよい。この不連続改質を施す部分を参照符号 T L で示す。ここでは、不連続改質領域 S X 内のサンプリングスイッチ S S W を構成する回路部分のシリコン膜を矩形状に改質する場合を例として説明する。以下、このような不連続改質を施した矩形状の領域を便宜上仮想タイルとも称する。仮想タイルの大きさは作り込む回路規模に対応した大きさ、あるいは複数の回路を作り込む大きさに設定される。

【 0 0 3 6 】

図 3 は図 2 におけるサンプリング回路を構成するサンプリングスイッチ部分の構成図である。サンプリングスイッチ S S W はアナログスイッチで構成され、その回路構成はデータ駆動回路 D D R の他の構成部分に比べて精細であり、密に並んでいる。各サンプリングスイッチ S S W は図 2 の x 方向に一行に配列された仮想タイル T L のそれぞれの中に形成されている。このサンプリングスイッチ S S W を構成する薄膜トランジスタは電子の移動度が大きい仮想タイルの領域に形成されるので、他の回路よりも高精細に形成できる。信号線 R 1 , G 1 , B 1 , R 2 , G 2 , B 2 は、画素領域では画素ピッチで配列されるため、サンプリングスイッチ S S W の出力端では、その出力線（信号線）の間隔が狭く、画素領域側で広い配線パターンとなる。

【 0 0 3 7 】

なお、バッファ回路 B F は水平シフトレジスタ H S R から入力する表示データと、この信号を反転した信号を 3 本ずつ、さらに 2 画素分の計 1 2 本を出力する。ここでは、一段の水平シフトレジスタ H S R で 2 画素ずつ処理する場合を示す。各画素の各色カラーデータ（ビデオ信号）が極性の反転したものが対になっている。サンプリングスイッチ S S W は、各画素のどちらの極性の信号を送るかを定める。図 2 に示されたように、サンプリングスイッチ S S W の構造上、隣接した画素の極性は常に反転する。図 3 における R 1 は画素 1（赤）の信号線、G 1 は画素 1（緑）の信号線、B 1 は画素 1（青）の信号線、R 2 は画素 2（赤）の信号線、G 2 は画素 2（緑）の信号線、B 2 は画素 2（青）の信号線である。

【 0 0 3 8 】

図 4 は図 3 に示した仮想タイル部分に形成されるサンプリングスイッチ回路の一つの構成を説明する拡大平面図、図 5 は図 4 の要部をさらに拡大して略帯状結晶シリコン膜の結晶方向を示す薄膜トランジスタ（T F T）のチャネル部の模式図である。図 4 では、各仮想タイル T L をサンプリングスイッチ回路毎に形成されているものとして示している。各仮想タイル T L はパルス変調レーザ光または擬似 C W レーザ光の走査方向 x（あるいは - x）方向の走査で改質されている。仮想タイル T L 中の参照符号 L D - P で示した部分は P 型 T F T が形成されるシ

リコンアイランド、LD-Nで示した部分はN型TFTが形成されるシリコンアイランドである。

【0039】

図5に示したように、シリコンアイランドLD-PおよびLD-Nの略帯状結晶シリコン膜の単結晶間に存在する粒界CBは結晶方向CGRに略同一方向となるように存在する。この結晶方向CGRと対向する位置にソース電極SD1とドレイン電極SD2がそれぞれ形成される。ソース電極SD1とドレイン電極SD2の間に流れる電流（チャネル電流） I_{ch} の方向が結晶方向CGRと略平行する方向に設定される。このように、結晶方向CGRと電流 I_{ch} の方向を同一とすることにより、チャネルにおける電子の移動度を大きくすることができる。

【0040】

図6は図4に示した1つの仮想タイルにおけるB部分の拡大平面図、図7は図6のC-C'線に沿った断面図である。また、図8は図6の動作を説明するタイミング図である。図6と図7の構成と動作を図7および図2を参照して説明する。図6において、参照符号NT1とNT2はN型薄膜トランジスタ、PT1とPT2はP型薄膜トランジスタ、SR1+, SR1-, SR2+, SR2-はバッファBAを介して送られてきた水平シフトレジスタHSRからの信号線、VR+, VR-は赤のデータ信号（赤のビデオ信号）を示す。図7の参照符号SUB1はアクティブ・マトリクス基板、NCはN型チャネル、PCはP型チャネル、GIはゲート絶縁膜、L1は層間絶縁膜、PASSは絶縁保護膜を示す。

【0041】

図8の時刻1で信号線SR1+には“1”が、信号線SR1-には“-1”が出力され、時刻2で信号線SR2-には“-1”が、信号線SR2+には“1”が出力される。また、赤のデータ信号VR+は時刻1で画素1の信号（極性+）が、時刻2で画素2の信号（極性+）を出力する。同様に、赤のデータ信号VR-は時刻1で画素2の信号（極性-）が、時刻2で画素1の信号（極性-）を出力する。N型薄膜トランジスタNT1は時刻1にオンとなって赤のデータ信号VR+を信号線R1に出力する。P型薄膜トランジスタPT1は時刻2にオンとなって赤のデータ信号VR-を信号線R1に出力する。

【 0 0 4 2 】

そして、N型薄膜トランジスタNT2は時刻2にオンとなって赤のデータ信号VR+を信号線R2に出力し、P型薄膜トランジスタPT2は時刻1にオンとなって赤のデータ信号VR-を信号線R2に出力する。これにより、信号線R1は時刻1に極性+のデータ（画素信号）を、時刻2に極性-のデータ（画素信号）を出力する。また、信号線R2は時刻1に極性-のデータ（画素信号）を、時刻1に極性+のデータ（画素信号）を出力する。

【 0 0 4 3 】

以上説明した実施例では、略帯状結晶シリコン膜の仮想タイルTLをサンプリング回路SAMPを構成するサンプリングスイッチSSWの回路形成部分毎に設定した。前記したように、サンプリングスイッチSSWはアナログスイッチで構成され、回路構成が特に複雑で精細度が要求される部分である。この回路部分に仮想タイルTLで示される略帯状結晶シリコン膜を設けて、薄膜トランジスタを形成することで、電子移動度が大きで精細度を向上させた回路を実現することが可能となる。その結果、高速の画像表示を実現できる。なお、仮想タイルを設定する箇所は上記したサンプリング回路SAMPのみに限らず、図2に示した範囲SXの適宜の部分にも適用することができる。

【 0 0 4 4 】

図9は本発明による画像表示装置を液晶表示装置に適用した他の実施例を模式的に説明するための図2と同様のブロック図である。本実施例は、仮想タイルTLを第1のラッチ回路LT1と第2のラッチ回路LT2の部分、デジタル-アナログ変換器DACとバッファ回路BAの部分に形成した。このように、本実施例では、仮想タイルTLをx方向に平行な2列以上に形成したものである。他の構成は図2と同様なので重複する説明は省略する。なお、ここでも、説明を容易にするため、仮想タイルTLのそれぞれを大まかな範囲で示してあるが、それぞれの仮想タイルTLは適用する回路規模に応じた適宜の大きさをもつ複数の仮想タイルをブロック化した集合体とする場合も含む。

【 0 0 4 5 】

これらの回路部分に仮想タイルTLで示される略帯状結晶シリコン膜を設ける

ことで、電子移動度が大で精細度を向上することが可能となる。その結果、高速で高精細の画像表示を実現できる。なお、仮想タイルを設定する箇所は上記の部分に限るものではなく、図 2 と同様にサンプリング回路 SAMP も含めることもできる。また、仮想タイル TL を第 1 のラッチ回路 LT1、第 2 のラッチ回路 LT2、デジタル・アナログ変換器 DAC、バッファ回路 BA のそれぞれ、あるいは適宜に組合せた回路を含む種々のサイズに設定してもよい。

【 0 0 4 6 】

上記した各実施例で説明した仮想タイルの大きさや配列は、それぞれの適用回路の薄膜トランジスタの作り込みパターンを考慮して決定すればよく、例えば千鳥状の配列等も可能であり、また必ずしも規則的配列にこだわる必要はない。

【 0 0 4 7 】

以上の実施例では、データ側の駆動回路を形成する駆動回路領域 DAR1 に略帯状結晶シリコン膜の不連続改質領域（仮想タイル）を適用しているが、本発明はこれに限らず、走査駆動回路領域 DAR2、あるいはプリチャージ回路を有する駆動回路領域 DAR3 に対しても同様に適用可能である。

【 0 0 4 8 】

このように、上記各実施例の構成によれば、マトリクス状に配置された画素部を駆動するための駆動回路に高速の移動度で動作する高性能の薄膜トランジスタ回路を有するアクティブ・マトリクス基板を備えた画像表示装置を提供することができ、高品質の画像表示を得ることができる。

【 0 0 4 9 】

次に、本発明の画像表示装置の製造方法の実施例について図 10 乃至図 15 を参照して説明する。ここで説明する製造方法は CMOS の薄膜トランジスタの製造を例としており、N 型薄膜トランジスタは自己整合 GOLDD (Gate Overlapped Light Doped Drain)、P 型薄膜トランジスタはカウンタードープによって形成する。

【 0 0 5 0 】

図 10 乃至図 15 は一連の製造プロセスを示し、この一連の製造プロセスを図 10 の (A) から図 15 の (N) に従って説明する。まず、アクティブ・マトリ

クス基板となる絶縁基板として、厚さが0.3mm乃至1.0mm程度で、好ましくは400°C乃至600°Cの熱処理で変形や収縮の少ない耐熱性のガラス基板SUB1を準備する。好ましくは、このガラス基板SUB1の上に熱的、化学的なバリア膜として機能するおよそ約50nm厚のSiN膜および約100nm厚のSiO膜をCVD法で連続かつ均一に堆積する。このガラス基板SUB1上にCVD等の手段でアモルファスシリコン膜ASIを形成する。

・・・・・・図10(A)

【0051】

次に、エキシマレーザ光ELAをx方向に走査し、アモルファスシリコン膜ASIを溶解し、結晶化してガラス基板SUB1上のアモルファスシリコン膜ASI全体をポリシリコン膜PSIに改質する。

・・・・・・図10(B)

【0052】

なお、エキシマレーザ光ELAに替えて、他の方法、例えば固体パルスレーザアニールによる結晶化、シリコン膜の形成時にポリシリコン膜となるCat-CVD膜を採用することもある。

【0053】

ホトリソグラフィー法あるいはドライエッチング法により、後述するパルス変調レーザ光あるいは擬似CWレーザ光SXL（なお、ここでは、パルス幅変調レーザ光を用いるものとして説明する）の照射位置決め等のターゲットとなる位置決めマークMKを形成する。

・・・・・・図10(C)

【0054】

マークMKを参照しながら、パルス変調レーザ光SXLをx方向に走査しながら所定の領域を選択しながら不連続で照射する。この選択的な照射でポリシリコン膜PSIを改質し、当該走査方向に連続した粒界を持つ略帯状結晶シリコン膜の不連続改質領域（仮想タイルのシリコン膜）SPSIを形成する。このとき、このとき、図1の駆動回路領域DAR1および／またはDAR2を走査するレーザ光を駆動回路領域DAR3までカバーさせることで、駆動回路領域DAR1、DAR2の隣接辺にある駆動回路領域DAR3にも同時に仮想タイルを形成する

ことができる。

．．．．図 1 1 (D)

【 0 0 5 5 】

ホトリソグラフィー法を用いて略帯状結晶シリコン膜の不連続改質領域（仮想タイルのシリコン膜）SPSIを加工し、薄膜トランジスタを作り込むアイランドSPSI-Lを形成する。

．．．．図 1 1 (E)

【 0 0 5 6 】

不連続改質領域（仮想タイルのシリコン膜）SPSIのアイランドSPSI-Lを覆ってゲート絶縁膜GIを形成する。

．．．．図 1 1 (F)

【 0 0 5 7 】

N型薄膜トランジスタを形成する領域に閾値を制御するためのインプランテーションNEを行う。このとき、P型薄膜トランジスタを形成する領域をホトレジストRNEで覆う。

．．．．図 1 2 (G)

【 0 0 5 8 】

次に、P型薄膜トランジスタを形成する領域に閾値を制御するためのインプランテーションPEを行う。このとき、P型薄膜トランジスタを形成する領域をホトレジストRPEで覆う。

．．．．図 1 2 (H)

【 0 0 5 9 】

この上に、スパッタリング法またはCVD法を用いて薄膜トランジスタのゲート電極となる二層の金属ゲート膜GT1，GT2を形成する。

．．．．図 1 2 (I)

【 0 0 6 0 】

金属ゲート膜GT1，GT2の形成領域をホトレジストRNで覆い、ホトリソグラフィー法により、金属ゲート膜GT1，GT2をパターニングする。このとき、LDD領域を形成するため、上層の金属ゲート膜GT2を所要量サイドエッチングし、下層の金属ゲート膜GT1より後退させる。この状態で、ホトレジストRNをマスクとしてN型の不純物Nをインプランテーションし、N型薄膜トランジスタのソース・ドレイン領域NSDを形成する。

．．．．図 1 3 (J)

【 0 0 6 1 】

ホトレジストRNを剥離し、金属ゲート膜GT2をマスクとしてインプラネーションLDDを行い、N型薄膜トランジスタのLDD領域NLDDを形成する。

．．．．．図13 (K)

【0062】

N型薄膜トランジスタの形成領域をホトレジストRPで覆い、P型薄膜トランジスタのソース・ドレイン形成領域にP型の不純物Pをインプラネーションし、P型薄膜トランジスタのソース・ドレイン領域PSDを形成する。

．．．．．図14 (L)

【0063】

ホトレジストRPを剥離し、インプラネーションによる不純物を活性化した後、CVD法等で層間絶縁膜LIを形成する。

．．．．．図14 (M)

【0064】

ホトリソグラフィ法により層間絶縁膜LIとゲート絶縁膜GIにコンタクトホールを形成し、このコンタクトホールを介してN型薄膜トランジスタとP型薄膜トランジスタの各ソース・ドレインNSD、PSDに配線用の金属層を接続し、配線Lを形成する。この上に、層間絶縁膜L2を形成し、さらに保護絶縁膜PASSを形成する。

．．．．．図14 (N)

【0065】

以上の工程により、略帯状結晶シリコン膜の不連続改質領域（仮想タイルのシリコン膜）SPSIにCMOS薄膜トランジスタが形成される。なお一般に、N型薄膜トランジスタは劣化が激しい。チャネルとソース・ドレイン領域との間に低濃度不純物領域LDD（Light Doped Drain領域）を形成すると、この劣化が緩和される。GOLDDは低濃度不純物領域にゲート電極が被さった構造を有している。この場合、LDDで観測される性能低下が緩和される。P型薄膜トランジスタでは、その劣化がN型薄膜トランジスタほど深刻でなく、低濃度不純物領域LDDやGOLDDは通常は採用されない。

【0066】

次に、本発明の特徴である略帯状結晶シリコン膜の不連続改質領域（仮想タイ

ルのシリコン膜)の形成について図16乃至図26を参照して説明する。図16は略帯状結晶シリコン膜の不連続改質領域(仮想タイルのシリコン膜)の形成プロセスの説明図であり、同図(a)はプロセスを説明する模式図、同図(b)はパルス変調レーザの波形例、同図(c)は擬似CWレーザの波形例を示す。

【0067】

略帯状結晶シリコン膜の不連続改質領域(仮想タイルのシリコン膜)は、絶縁基板SUB1に有するバッファ層BFL上に形成されたポリシリコン膜PSIに図16の(b)又は(c)に示したレーザ光SXLを照射することで得られる。レーザ光SXLは(b)のパルス変調レーザ光、又は(c)に示したような擬似CWレーザ光を10ns乃至100msの周期で照射する。このレーザ光SXLを図16(a)に示したようにポリシリコン膜PSI上をx方向に走査し、y方向にシフトさせた後に-x方向に走査することで、当該走査方向x、-x方向に略帯状結晶を有する不連続改質領域のシリコン膜SPSIが得られる。絶縁基板SUB1には位置決めのためのマークMKを有し、このマークMKを位置決めターゲットとしてレーザ光SXLの走査を行う。このように断続的にレーザを照射しながら基板を走査するので、略帯状結晶を有する不連続改質領域のシリコン膜SPSIを仮想タイル状に配列することができる。

【0068】

図17は略帯状結晶シリコン膜の結晶構造の説明図であり、同図(a)はパルス変調レーザ光SXLの走査態様を説明する模式図、同図(b)はパルス変調レーザ光SXLの走査により形成された略帯状結晶シリコン膜SPSIを非走査部分に残留するポリシリコン膜PSIとの結晶構造の違いを比較して示す模式図である。ポリシリコン膜PSIを同図(a)のようにパルス変調レーザ光SXLの走査で改質することで、同図(b)に示したように、当該レーザ光の走査方向に単結晶が带状に延在する略帯状結晶シリコン膜SPSIの結晶構造となる。参照符号CBは粒界を示す。

【0069】

略帯状結晶シリコン膜SPSIの平均粒サイズはパルス変調レーザ光SXLの走査方向に約5 μ m程度、走査方向と直角方向(粒界CB間の幅)に0.5 μ m

程度となる。なお、走査方向の粒サイズはパルス変調レーザ光 S X L のエネルギー（パワー）や走査速度、パルス幅等の条件で可変である。これに対し、ポリシリコン膜 P S I の平均粒径は $0.6 \mu\text{m}$ (0.3 乃至 $1.2 \mu\text{m}$) 程度である。このような結晶構造の相違によって、ポリシリコン膜 P S I と略帯状結晶シリコン膜 S P S I とを用いて薄膜トランジスタを構成した場合の電子移動度に大きな差をもたらす。

【0070】

上記の略帯状結晶シリコン膜 S P S I は、下記の特徴を有する。すなわち、

(a) 表面に対する主配向が $\{110\}$ である。

【0071】

(b) キャリアの移動方向に略垂直な面の主配向が $\{100\}$ である。

【0072】

上記 (a)、(b) の 2 つの方位は、電子線回折法あるいは E B S P (Electron Backscatter Diffraction Pattern) 法により評価できる。

【0073】

(c) 膜の欠陥密度が $1 \times 10^{17} \text{cm}^{-3}$ より小さい。膜中の結晶欠陥数は、電気的特性、あるいは電子スピン共鳴 (E S R) による不対電子の定量的評価から定義される値である。

【0074】

(d) 膜のホール移動度が $50 \text{cm}^2/\text{Vs}$ 以上、 $700 \text{cm}^2/\text{Vs}$ 以下である。

【0075】

(e) 膜の熱伝導率は、温度依存性があり、ある温度で最大値を示す。熱伝導率は温度が上昇すると一端上昇し、最大値 $50 \text{W}/\text{mK}$ 以上、 $100 \text{W}/\text{mK}$ 以下の値を示す。高温領域では、熱伝導率は温度上昇に伴い低下する。熱伝導率は、3 オメガ方法などから評価、定義される値である。

【0076】

(f) 薄膜のラマン散乱分光から評価、定義されるラマンシフトは、 512cm^{-1}

m^{-1} 以上、 518 cm^{-1} 以下である。

【0077】

(g) 膜の結晶粒界の Σ 値の分布は、 $\Sigma 11$ に最大値を有し、ガウス型に分布する。なお、 Σ 値は電子線回折法あるいはEBSP (Electron Backscatter Diffraction Pattern)法から計測される値である。

【0078】

(h) 膜の光学定数は、下記の条件を満たす領域であることを特徴とする。波長 500 nm における屈折率 n は 2.0 以上、 4.0 以下であり、かつ減衰係数 k は 0.3 以上、 1 以下であること。さらに、波長 300 nm における屈折率 n は 3.0 以上、 4.0 以下であり、かつ減衰係数 k は 3.5 以上、 4 以下であること。なお、光学定数は、分光エリブソメータによって計測された値である。

【0079】

図18はシリコン膜の結晶構造の相違に起因する薄膜トランジスタのチャネルにおける電子移動度の相違の説明図である。同図(a)は薄膜トランジスタのチャネル構造と当該チャネル部分のシリコン膜SIの粒界CBと電子移動の関係を示し、同図(b)はソースSD1とドレインSD2間に流れる電流が横断する粒界数と電子移動度の関係を示す。シリコン膜SIがポリシリコン膜PSIの場合はドレインSD2からソースSD1に電流が横断する粒界数が多く、シリコン膜SIが略帯状結晶シリコン膜SPSIの場合は大きな単結晶が成長方向に長く存在し、横断する粒界数が少ない。この関係を図18(b)に示した。

【0080】

平均横断粒界数 C は、電流方向でチャネルの幅を j 分割し、電流が流れる方向で横断する粒界数を N_i としたとき、 $C = \Sigma N_i / j$ で表される。図18(b)には、横軸に平均横断粒界数を、縦軸に電子移動度($\text{cm}^2 / \text{V} \cdot \text{s}$)とその逆数($\text{V} \cdot \text{s} / \text{cm}^2$)を取って示してある。このように、薄膜トランジスタのチャネルを構成する略帯状結晶シリコン膜SPSIの結晶成長方向に電流が流れるようにソースSD1とドレインSD2を配置することにより、電子移動度は極端に大きくなる。すなわち、薄膜トランジスタの動作速度が大きくなる。したがっ

て、薄膜トランジスタ自体を精細に作り込むことが可能となり、図 3 で説明したように、画素ピッチに対して配線 R 1, G 1, B 1, R 2, G 2, B 2 が狭いピッチに形成される。その結果、タイル T L を用いた回路間には大きなスペースが生じる。このスペースを他の配線等の形成スペースに利用することも可能である。

【 0 0 8 1 】

図 1 9 はレーザ光の照射装置の一例を説明する構成図である。この照射装置ではポリシリコン膜 P S I を形成したガラス基板 S U B 1 を x - y 方向の駆動ステージ X Y T 上に設置し、基準位置測定用カメラ C M を用いて位置合わせを行う。基準位置測定信号 P O S は制御装置 C R L に入力され、駆動設備 M D に入力された制御信号 C S に基づいて照射位置の微調整を行い、所定の速度でステージ X Y T を移動させて一方向（図 1 の x 方向）に走査する。かかる走査に同期して照射設備 L U からパルス変調レーザ光 S X L をポリシリコン膜 P S I に照射して、略帯状結晶シリコン膜 S P S I に改質する。

【 0 0 8 2 】

照射設備 L U 内には一例として連続発振（C W）固体レーザ L S（レーザダイオード）励起の発振器、ホモジナイザ、パルス幅を変調するための E O モジュレータ等の光学系 H O S、反射ミラー M L、集光レンズ系 L Z を配置することで所望の照射ビームを形成できる。レーザ光 S X L の照射時間、照射強度などは制御装置 C R L からの O N - O F F 信号 S W S、制御信号 L E C で調整する。

【 0 0 8 3 】

図 2 0 は仮想タイルのレイアウトの一例を説明する平面図である。この配置例では、仮想タイル T L は図 1 で説明した駆動回路領域 D A R 1 に複数列で配置されている。仮想タイル T L は作り込む回路パターンに応じて一列、2 以上の多列、あるいは千鳥状等に配列することができる。本例では、3 列（または、3 段）としてある。各仮想タイル T L のサイズは、x 方向の長さ w が $20\ \mu\text{m}$ 以上で 1mm 以下、y 方向の幅 h が $20\ \mu\text{m}$ 以上で 1mm 以下、x 方向に隣接する仮想タイルとの間隔 d が $3\ \mu\text{m}$ 以上、y 方向の間隔 p が $3\ \mu\text{m}$ 以上となっている。この配置サイズはレーザのパワー、高品質な結晶を安定して成長させることができる

サイズによって制約される。

【 0 0 8 4 】

図 2 1 は図 1 9 の照射装置を用いたレーザ照射プロセス例の説明図である。図 2 1 では絶縁基板を単に基板と表記する。先ず、ポリシリコン膜を形成した絶縁基板にパルス変調レーザ光 S X L を照射するため、装置電源を O N とし、レーザ発振器を O N とする。駆動ステージ X Y T 上に絶縁基板をセットし、真空チャックで固定する。絶縁基板の位置決めマークをターゲットとして X 軸、Y 軸、および θ 軸（X-Y 平面での回転方向）を規定値に調整し、絶縁基板の準備を完了する。

【 0 0 8 5 】

一方、照射装置に各種条件を入力し、確認を行う。条件入力項目は、レーザ出力（N D フィルタの調整等）、結晶化位置（駆動ステージ X Y T 上）のセット位置、結晶化距離（仮想タイルの結晶成長方向長さ）、間隔（仮想タイルの間隔）、個数（仮想タイルの作成個数）、レーザ光路上にあるスリット幅の調整、対物レンズのセット等である。結晶化距離、間隔、個数は E O モジュレータにセットする。また、確認事項は、レーザ光のビームプロファイラ、パワーモニタ、レーザ光照射位置等である。

【 0 0 8 6 】

絶縁基板の準備が完了し、条件入力と確認が取られた後、絶縁基板の表面高さを測定し、オートフォーカス機構を作動させてレーザ光を照射する。レーザ光の照射でオートフォーカス機構を補正し、絶縁基板の表面高さを制御する。また、レーザ光の照射を継続中に絶縁基板の走査距離と照射位置を条件入力側にフィードバックする。

【 0 0 8 7 】

所定の領域にレーザ光の照射処理を完了後、真空チャックを O F F として駆動ステージ X Y T から絶縁基板を取り出す。以下、次の絶縁基板を駆動ステージ X Y T にセットし、上記操作を必要回数繰り返す。全ての必要な絶縁基板のレーザ照射処理を完了したとき、レーザ発振器を O F F とし、装置電源を O F F して終了する。

【 0 0 8 8 】

図 2 2 は多面取りの大サイズ素材絶縁基板上における各個別の絶縁基板に対する略帯状結晶シリコン膜 S P S I の仮想タイル形成走査の説明図である。図 2 2 中、参照符号 M - S U B は大サイズ素材絶縁基板で、この大サイズ素材絶縁基板 M - S U B に個々の画像表示装置のアクティブ・マトリクス基板 S U B 1 が多数形成されている。ここでは、 $8 \times 6 = 48$ 枚取りとして示したが、これに限らないことは言うまでもない。この大サイズ素材絶縁基板 M - S U B の駆動回路領域に対して、マーク M K をターゲットとした位置合わせ後、パルス変調レーザ光を図中に矢印 S D S で示したように往復走査する。ここでは、3 本のレーザ光を並列の走査することで、短時間に大サイズの素材絶縁基板 M - S U B に所要の仮想タイルを形成できるようにしている。

【 0 0 8 9 】

図 2 3 は図 2 2 で形成した仮想タイルとそのブロックの位置の一例を説明する一枚のアクティブ・マトリクス基板の平面図であり、同図 (a) は全体図、同図 (b) は同図 (a) の矢印 A 部分の拡大図である。この例では、アクティブ・マトリクス基板 S U B 1 のデータ信号の駆動回路領域 D A R 1 を形成する x 方向の一辺に複数の仮想タイル T L をブロック化したものを一列に配置してある。ここでは、仮想タイルは図 2 あるいは図 9 に参照符号 S X で示した全域、または図 2 のサンプリング回路 S A M P 部分、図 9 の各ラッチ回路 L T 1 , L T 2 の部分とデジタル・アナログ変換器 D A C やバッファ回路 B A の部分に複数個設けて、これをブロックに分けて配置した状態を示す。なお、同図 (b) の仮想タイルのブロックの大きさや位置は本発明を分かり易く示したもので、実際の回路の大きさや位置とは異なる。

【 0 0 9 0 】

図 2 4 は仮想タイルのブロックの他の配列を説明する図 2 3 (b) と同様の拡大図である。仮想タイル T L のブロックは同図 (a) のように x 方向に平行な二列に配置され、あるいは同図 (b) のように x 方向に平行で互いに千鳥状の三列に配置される。なお、各ブロックの大きさ、間隔は適用する回路構造に対応して可変とすることが可能である。仮想タイル T L の並びが千鳥状、さらに複数配列

であってもよい。ブロックを構成する個々の仮想タイルも同様である。

【 0 0 9 1 】

図 2 5 と図 2 6 は仮想タイルの位置の他例を説明する一枚のアクティブ・マトリクス基板の平面図である。図 2 5 では図 1 で説明した駆動回路領域 D A R 1 と D A R 3 に仮想タイルを適用したものである。また、図 2 6 では図 1 で説明した駆動回路領域 D A R 1 と D A R 3 およびアクティブ・マトリクス基板 S U B 1 の y 方向に延びる一辺に形成した走査駆動回路領域 D A R 2 に仮想タイルを適用したものである。個々の仮想タイルやブロックの配列等は図 2 3 乃至図 2 4 で説明したものと同様である。

【 0 0 9 2 】

次に、絶縁基板（アクティブ・マトリクス基板）に仮想タイルを形成するための位置決め用のマークについて説明する。図 2 7 はアクティブ・マトリクス基板 S U B 1 への位置決め用のマーク付けとこのマークをターゲットとしたレーザ光の照射プロセスの第 1 例の説明図である。この例では、アクティブ・マトリクス基板 S U B 1 に形成されているシリコン膜 S I にホトリソグラフィー法で位置決め用のマーク M K を形成し（P - 1）、その後のレーザ光 S L X の照射時にこのマーク M K を基準として位置決め（アライメント）を取る（P - 2）。そして同様に、このマーク M K を基準としてレーザ光 S L X の照射で改質された略帯状結晶シリコン膜 S P S I をアイランド S P S I - L に加工する（P - 3）。なお、このマーク M K はアモルファスシリコン膜 A S I の段階で形成してもよく、またポリシリコン膜の段階で形成してもよい。

【 0 0 9 3 】

図 2 8 はアクティブ・マトリクス基板 S U B 1 への位置決め用のマーク付けとこのマークをターゲットとしたレーザ光の照射プロセスの第 2 例の説明図である。この例では、アクティブ・マトリクス S U B 1 にポリシリコン膜 P S I を形成後（P - 1）、ポリシリコン膜 P S I にレーザ光 S L X を照射する際に、当該レーザ光 S L X で位置決め用のマーク M K を形成するようにしたものである（P - 2）。その後のアイランド S P S I - L の形成時にこのマーク M K で位置決めを行う（P - 3）。

【 0 0 9 4 】

ポリシリコン膜 P S I と略帯状結晶シリコン膜 S P S I とは可視光の反射率に差がある。この差を位置決めターゲットとして利用することができる。また、ポリシリコン膜 P S I と略帯状結晶シリコン膜 S P S I とは、結晶の大きさに起因して高さに相違がでて来る。この略帯状結晶化したマーク M K の部分の結晶粒界の段差をターゲットとして利用することもできる。なお、マーク M K 部分のポリシリコン膜をレーザアブレーションで除去してマーク M K とすることもできる。このレーザアブレーションによる方法は、マーク M K 形成のためのホトリソグラフィ工程を省略できる利点がある。

【 0 0 9 5 】

図 2 9 はアクティブ・マトリクス基板 S U B 1 への位置決め用のマーク付けとこのマークをターゲットとしたレーザ光の照射プロセスの第 3 例の説明図である。この例では、アクティブ・マトリクス基板 S U B 1 にシリコン膜を形成する前に当該ガラス基板または下地膜に予めエッチング法あるいは機械的手段でマーク M K を形成する (P - 1) 。アクティブ・マトリクス基板 S U B 1 にポリシリコン膜 P S I を形成し、このマーク M K を基準としてレーザ光 S L X を照射して略帯状結晶シリコン膜 S P S I を形成する (P - 2) 。その後のアイランド S P S I - L の形成時にこのマーク M K で位置決めを行う (P - 3) 。

【 0 0 9 6 】

上記したように、本実施例によれば、ポリシリコン膜をさらに大きな結晶に改質し、その結晶成長方向の配置により、ソースとドレイン間の電流が粒界を横切る確率を低減できる。その結果、薄膜トランジスタの動作速度を向上して最良の薄膜トランジスタ回路を得ることが可能となる。そして、画像表示装置の駆動回路部分に略帯状結晶シリコン膜の半導体膜を用いた薄膜トランジスタ回路を配置することができる。本実施例で得られる薄膜トランジスタの性能は、例えば N チャンネル M I S トランジスタを作成する場合に、電界効果移動度が約 $300\text{ cm}^2 / \text{V} \cdot \text{s}$ 以上でかつ、閾値電圧のバラツキを $\pm 0.2\text{ V}$ 以下に抑制することができ、高性能、高信頼で動作し、デバイス間の均一性が優れたアクティブ・マトリクス基板を用いた表示装置を製造することができる。

【 0 0 9 7 】

また本実施例では、電子キャリアを付与するリンのイオン打ち込みに代えてホールキャリアを付与するボロン打ち込みによりPチャンネルMISトランジスタを製造することもできる。また、上記したCMOS型の回路では周波数特性の向上が期待でき、高速動作に適している。

【 0 0 9 8 】

図30は本発明をの画像表示装置の第1例としての液晶表示装置の構成を説明する展開斜視図である。また、図31は図30のZ-Z線方向で切断した断面図である。この液晶表示装置は前記したアクティブ・マトリクス基板を用いて液晶表示装置を製造する。図30と図31において、参照符号PNLはアクティブ・マトリクス基板SUB1とカラーフィルタ基板SUB2の貼り合わせ間隙に液晶を封入した液晶セルで、その表裏に偏光板POL1、POL2が積層されている。また、参照符号OPSは拡散シートやプリズムシートからなる光学補償部材、GLBは導光板、CFLは冷陰極蛍光ランプ、RFSは反射シート、LFSはランプ反射シート、SHDはシールドフレーム、MDLはモールドケースである。

【 0 0 9 9 】

前記した実施例の何れかの構成を有するアクティブ・マトリクス基板SUB1上に液晶配向膜層を形成し、これにラビング等の手法で配向規制力を付与する。画素領域ARの周辺にシール剤を形成した後、同様に配向膜層を形成したカラーフィルタ基板SUB2を所定のギャップで対向配置させ、このギャップ内に液晶を封入し、シール剤の封入口を封止材で閉鎖する。こうして構成した液晶セルPNLの表裏に偏光板POL1、POL2を積層し、導光板GLBと冷陰極蛍光ランプCFL等からなるバックライト等を光学補償部材OPSを介して実装することで液晶表示装置を製造する。なお、液晶セルの周辺に有する駆動回路にはフレキシブルプリント基板FPC1、FPC2を介してデータやタイミング信号が供給される。参照符号PCBは外部信号源と各フレキシブルプリント基板FPC1、FPC2の間において、当該外部信号源から入力する表示信号を液晶表示装置で表示する信号形式に変換するタイミングコンバータ等が搭載されている。

【 0 1 0 0 】

本実施例のアクティブ・マトリクス基板を使用した液晶表示装置は、その画素回路に上記した優れたポリシリコン薄膜トランジスタ回路を配置することで、電流駆動能力に優れることから高速動作に適している。さらに、閾値電圧のバラツキが小さいために画質の均一性に優れ液晶表示装置を安価に提供できるのが特長である。

【 0 1 0 1 】

また、本実施例のアクティブ・マトリクス基板を用いて有機 E L 表示装置を製造することができる。図 3 2 は本発明の画像表示装置の第 2 例としての有機 E L 表示装置の構成例を説明する展開斜視図である。また、図 3 3 は図 3 2 に示された構成要素を一体化した有機 E L 表示装置の平面図である。前記した各実施例の何れかのアクティブ・マトリクス基板 S U B 1 に有する画素電極上に有機 E L 素子を形成する。有機 E L 素子は、画素電極表面から順次、ホール輸送層、発光層、電子輸送層、陰極金属層などを蒸着した積層体から構成される。このような積層層を形成したアクティブ・マトリクス基板 S U B 1 の画素領域 P A R の周囲にシール材を配置し、封止基板 S U B X または封止缶で封止する。

【 0 1 0 2 】

この有機 E L 表示装置は、その駆動回路領域 D D R、に外部信号源からの表示用信号をプリント基板 P L B で供給する。このプリント基板 P L B にはインターフェース回路チップ C T L が搭載されている。そして、上側ケースであるシールドフレーム S H D と下側ケース C A S で一体化して有機 E L 表示装置とする。

【 0 1 0 3 】

有機 E L 表示装置用のアクティブ・マトリクス駆動では、有機 E L 素子が電流駆動発光方式であるために高性能の画素回路の採用が良質な画像の提供には必須であり、C M O S 型薄膜トランジスタの画素回路を用いるのが望ましい。また、駆動回路領域に形成する薄膜トランジスタ回路も高速、高精細化には必須である。本実施例のアクティブ・マトリクス基板 S U B 1 は、このような要求を満たす高い性能を有している。本実施例のアクティブ・マトリクス基板を用いた有機 E L 表示装置は本実施例の特長を最大限に発揮する表示装置の 1 つである。

【 0 1 0 4 】

本発明は上記した画像表示装置のアクティブ・マトリクス基板に限らず、本発明は特許請求の範囲に記載の構成および実施例に記載の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変更が可能であり、例えば各種の半導体装置に適用することもできる。

【 0 1 0 5 】

【発明の効果】

以上説明したように、本発明はアクティブ・マトリクス基板の画素領域の周辺に配置される駆動回路領域の回路を構成するシリコン膜に連続パルスレーザを照射して選択的に改質された略帯状結晶シリコン膜の不連続改質領域を形成し、この不連続改質領域に薄膜トランジスタ回路からなる駆動回路を形成したものであるため、当該駆動回路の作り込みスペースを狭くでき、高精細の回路を持ち、高速の電子移動度で動作する高性能の画像表示装置を得ることができる。

【図面の簡単な説明】

【図 1】

本発明による画像表示装置を液晶表示装置に適用した一実施例を模式的に説明するための平面図である。

【図 2】

図 1 におけるデータ駆動回路部分の回路構成例を説明するブロック図である。

【図 3】

図 2 におけるサンプリング回路を構成するサンプリングスイッチ部分の構成図である。

【図 4】

図 3 に示した仮想タイル部分に形成されるサンプリングスイッチ回路の一つの構成を説明する拡大平面図である。

【図 5】

図 4 の要部をさらに拡大して略帯状結晶シリコン膜の結晶方向を示す薄膜トランジスタ（TFT）のチャネル部の模式図である。

【図 6】

図 4 に示した 1 つの仮想タイルにおける B 部分の拡大平面図である。

【図 7】

図 6 の C - C' 線に沿った断面図である。

【図 8】

図 6 の動作を説明するタイミング図である。

【図 9】

本発明による画像表示装置を液晶表示装置に適用した他の実施例を模式的に説明するための図 2 と同様のブロック図である。

【図 1 0】

本発明の画像表示装置を得るための製造方法の一実施例を説明するプロセスの説明図である。

【図 1 1】

本発明の画像表示装置を得るための製造方法の一実施例を説明する図 1 0 に続くプロセスの説明図である。

【図 1 2】

本発明の画像表示装置を得るための製造方法の一実施例を説明する図 1 1 に続くプロセスの説明図である。

【図 1 3】

本発明の画像表示装置を得るための製造方法の一実施例を説明する図 1 2 に続くプロセスの説明図である。

【図 1 4】

本発明の画像表示装置を得るための製造方法の一実施例を説明する図 1 3 に続くプロセスの説明図である。

【図 1 5】

本発明の画像表示装置を得るための製造方法の一実施例を説明する図 1 4 に続くプロセスの説明図である。

【図 1 6】

略帯状結晶シリコン膜の不連続改質領域（仮想タイル）の形成プロセスの説明図である。

【図 1 7】

略帯状結晶シリコン膜の結晶構造の説明図である。

【図 1 8】

シリコン膜の結晶構造の相違に起因する薄膜トランジスタのチャネルにおける電子移動度の相違の説明図である。

【図 1 9】

レーザ光の照射装置の一例を説明する構成図である。

【図 2 0】

仮想タイルのレイアウトの一例を説明する平面図である。

【図 2 1】

図 1 9 の照射装置を用いたレーザ照射プロセス例の説明図である。

【図 2 2】

多面取りの大サイズ素材絶縁基板上における各個別の絶縁基板に対する略帯状結晶シリコン膜 S P S I の仮想タイル形成操作の説明図である。

【図 2 3】

図 2 2 で形成した仮想タイルの位置の一例を説明する一個のアクティブ・マトリクス基板の平面図である。

【図 2 4】

仮想タイルのブロックの他の配列を説明する図 2 3 (b) と同様の拡大図である。

【図 2 5】

仮想タイルの位置の他例を説明する一個のアクティブ・マトリクス基板の平面図である。

【図 2 6】

仮想タイルの位置のさらに他例を説明する一個のアクティブ・マトリクス基板の平面図である。

【図 2 7】

アクティブ・マトリクス基板への位置決め用のマーク付けとこのマークをターゲットとした連続パルスレーザの照射プロセスの第 1 例の説明図である。

【図 2 8】

アクティブ・マトリクス基板 SUB 1 への位置決め用のマーク付けとこのマークをターゲットとした連続パルスレーザの照射プロセスの第 2 例の説明図である。

【図 2 9】

アクティブ・マトリクス基板 SUB 1 への位置決め用のマーク付けとこのマークをターゲットとした連続パルスレーザの照射プロセスの第 3 例の説明図である。

【図 3 0】

本発明の画像表示装置の第 1 例としての液晶表示装置の構成を説明する展開斜視図である。

【図 3 1】

図 3 0 の Z - Z 線方向で切断した断面図である。

【図 3 2】

本発明の画像表示装置の第 2 例としての有機 EL 表示装置の構成例を説明する展開斜視図である。

【図 3 3】

図 3 2 に示された構成要素を一体化した有機 EL 表示装置の平面図である。

【図 3 4】

一般的なエキシマパルスレーザ光照射を走査することによるアモルファスシリコン膜の結晶化方法の説明図である。

【図 3 5】

図 3 4 におけるレーザ光照射部の部分平面図と薄膜トランジスタ部の構成例を説明する要部平面図である。

【符号の説明】

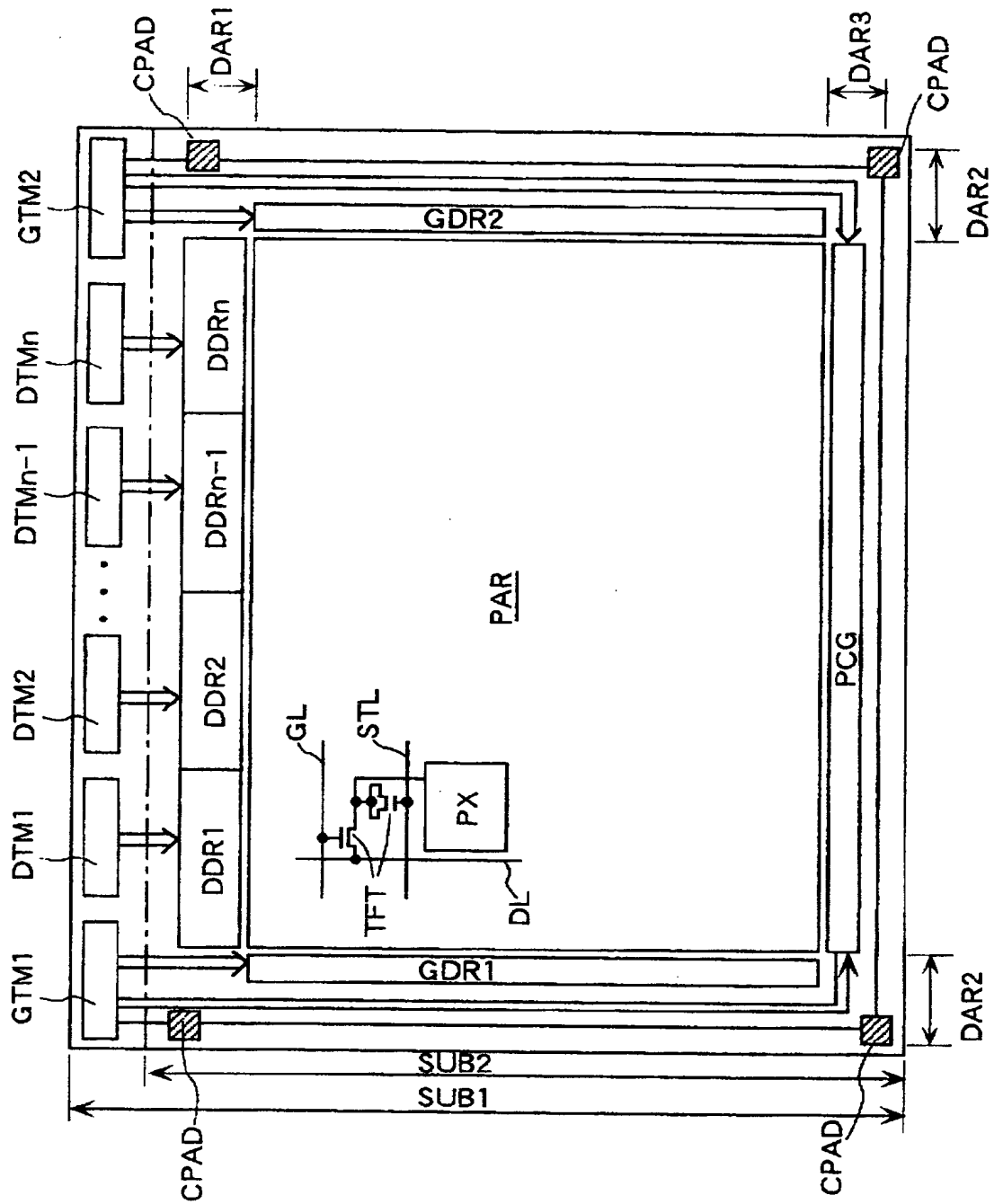
SUB 1 アクティブ・マトリクス基板、PAR 画素領域、DAR 1、DAR 2、DAR 3 駆動回路領域、DDR 1、DDR 2、. DDR n - 1、DDR n データ駆動回路、GDR 1、GDR 2 走査回路、SUB 2 カラーフィルタ基板、CPADQ パ

ッド、HSR・・・水平シフトレジスタ、LT1・・・第1ラッチ回路、LT2・・・第2ラッチ回路、DAC・・・デジタルーアナログ変換器、BA・・・バッファ回路、SAMP・・・サンプリング回路、VSR・・・垂直シフトレジスタ、R1, G1, B1, R2, G2, B2・・・信号線、TL・・・仮想タイル、ELA・・・エキシマレーザ光、SXL・・・連続パルスレーザ光、SPSI・・・略帯状結晶シリコン膜の不連続改質領域（仮想タイルのシリコン膜）、ASI・・・アモルファスシリコン膜、PSI・・・ポリシリコン膜。

【書類名】 図面

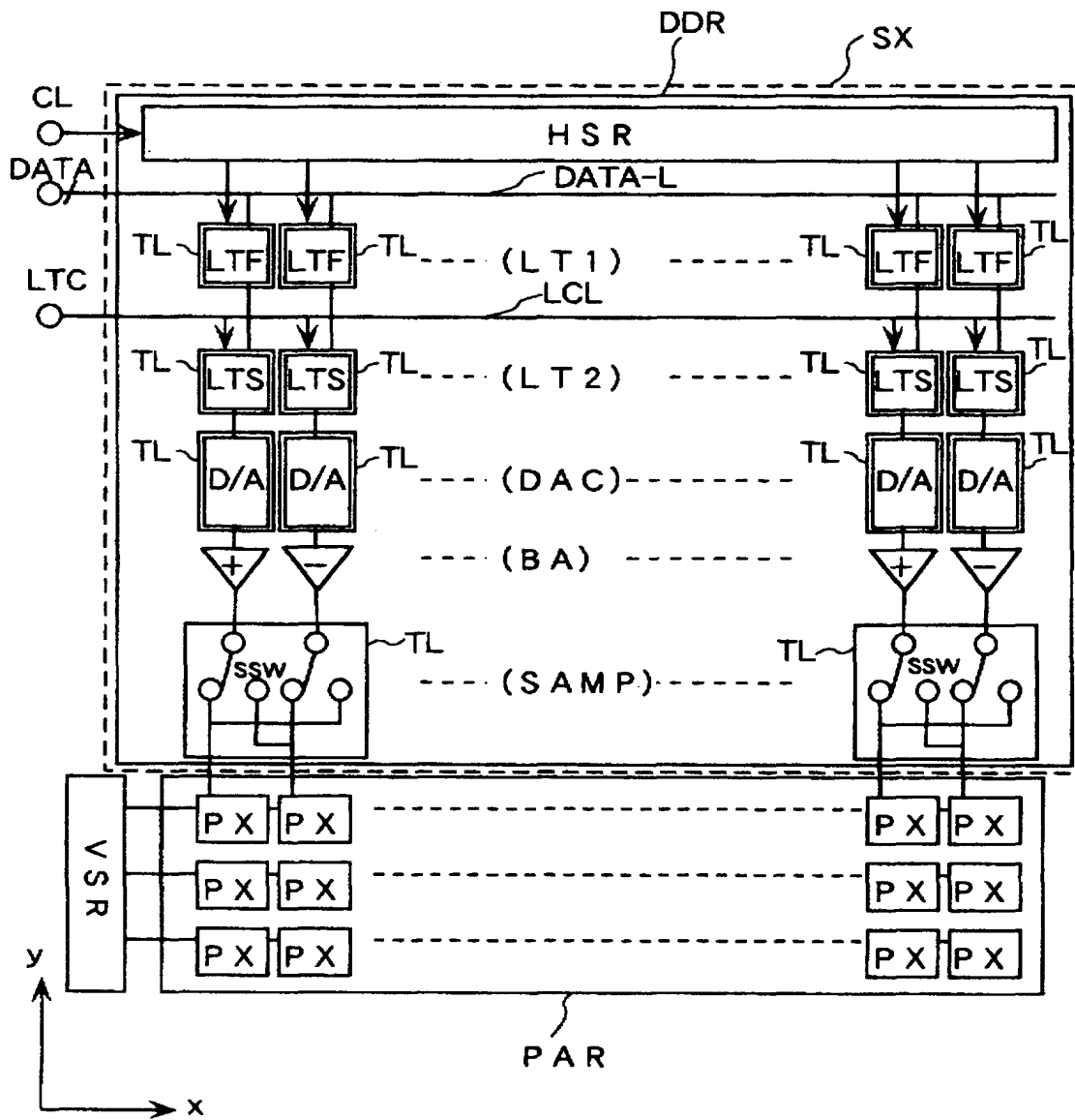
【図 1】

図 1



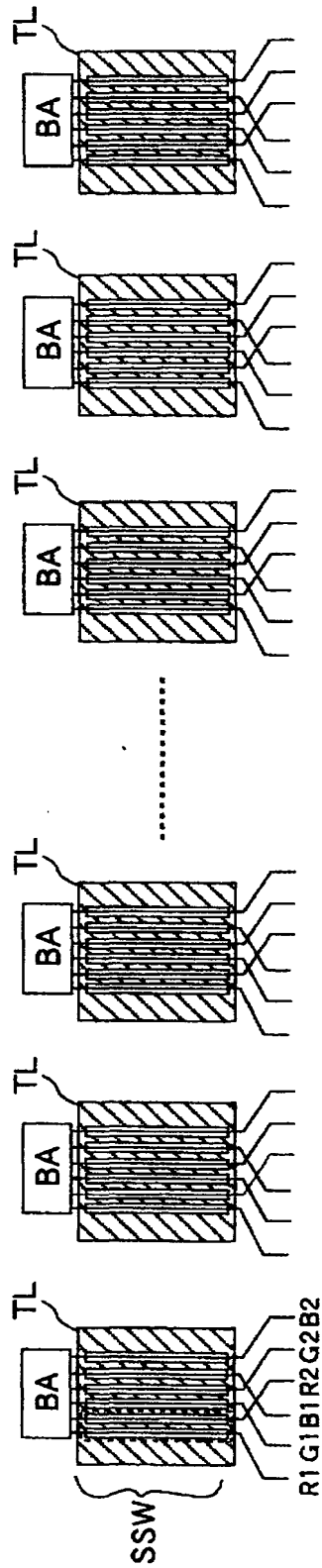
【図 2】

図 2



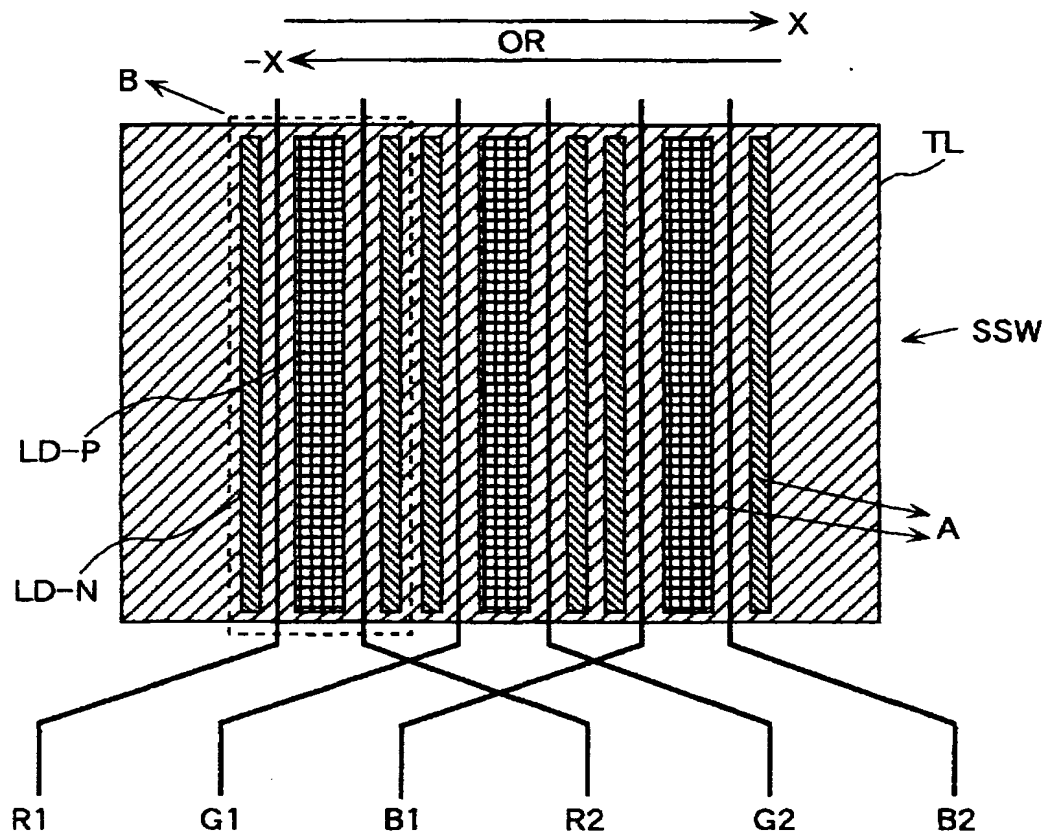
【図 3】

図 3



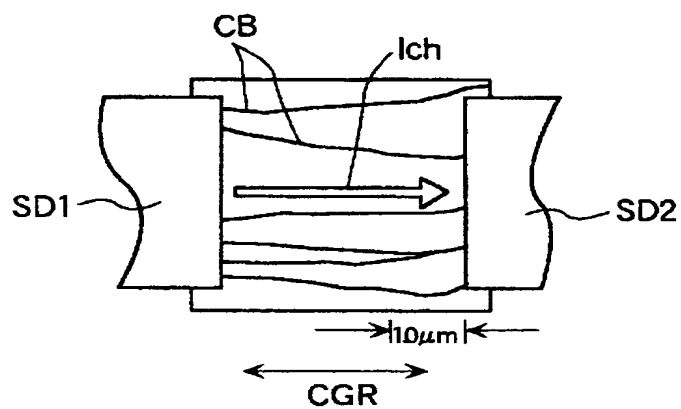
【図 4】

図 4



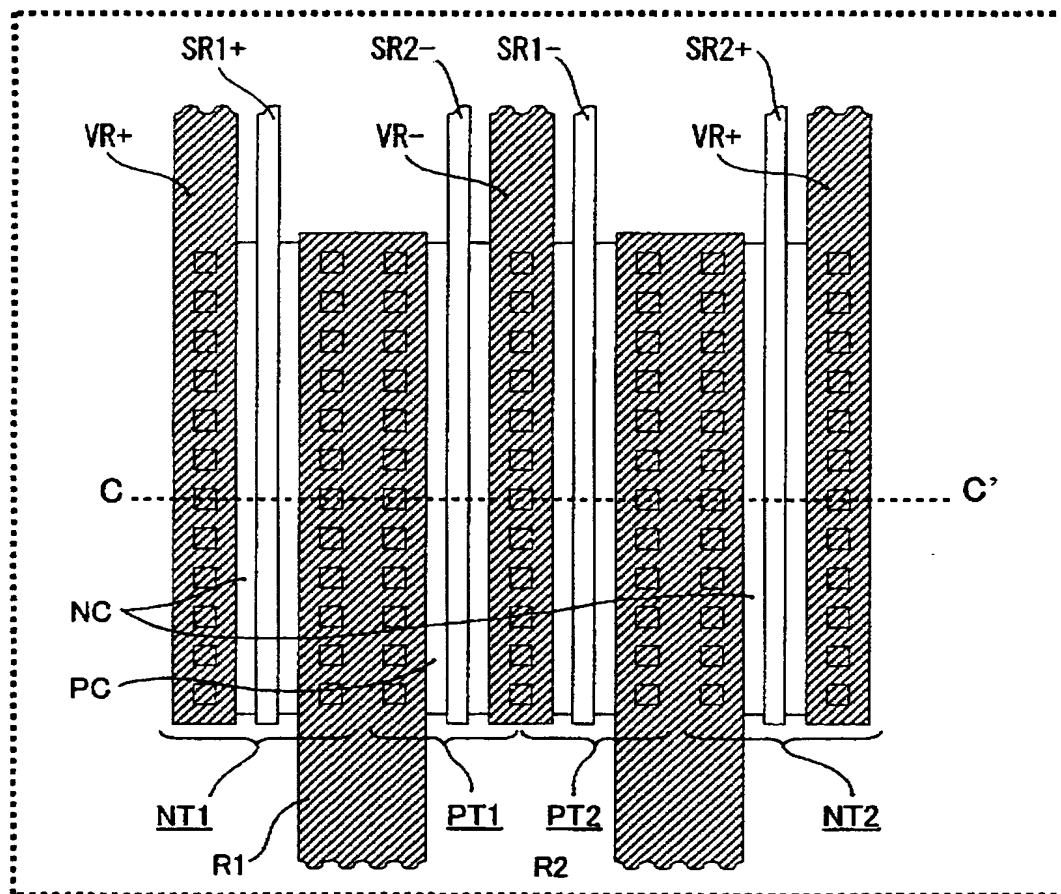
【図 5】

図 5



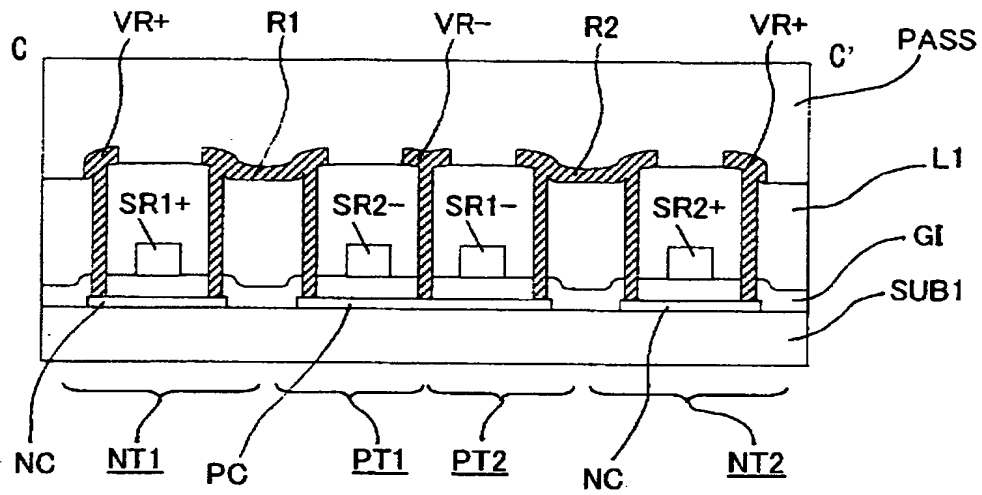
【図 6】

図 6



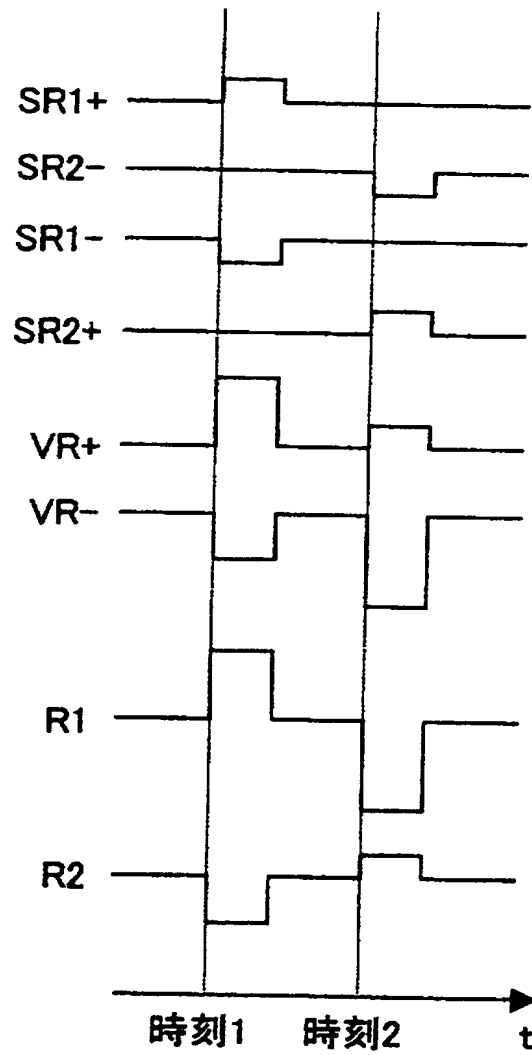
【図 7】

図 7



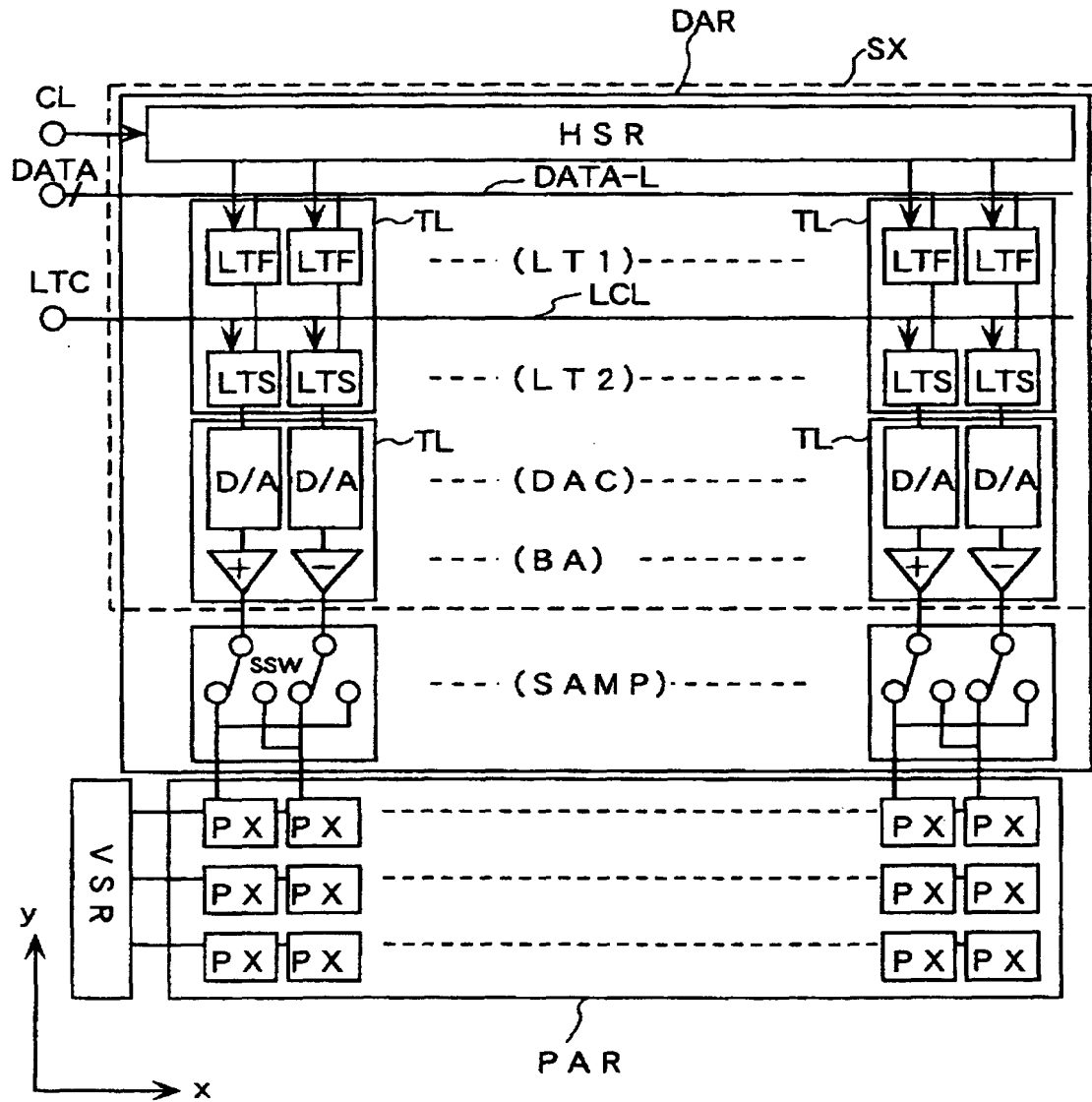
【図 8】

図 8



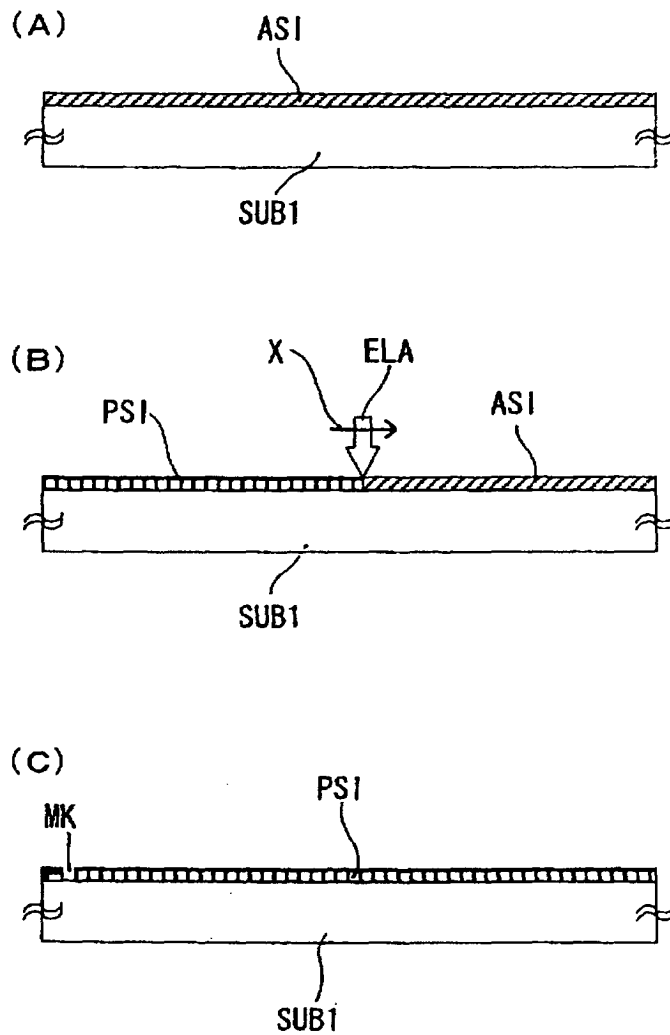
【図 9】

図 9



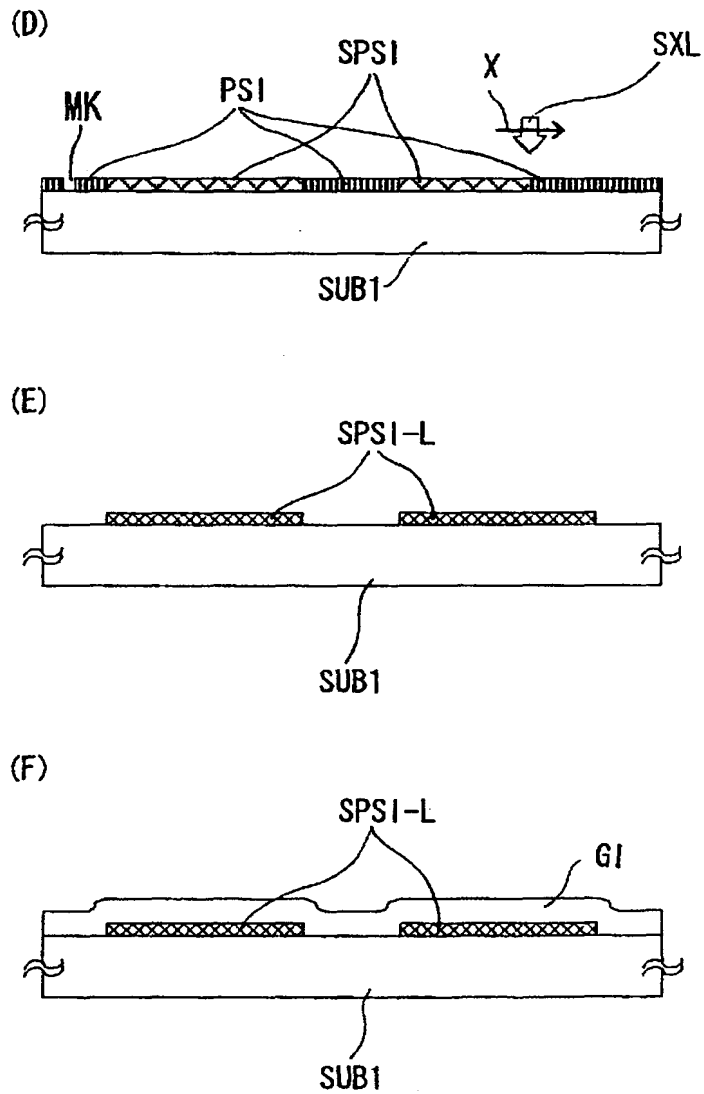
【図10】

図 10



【図 11】

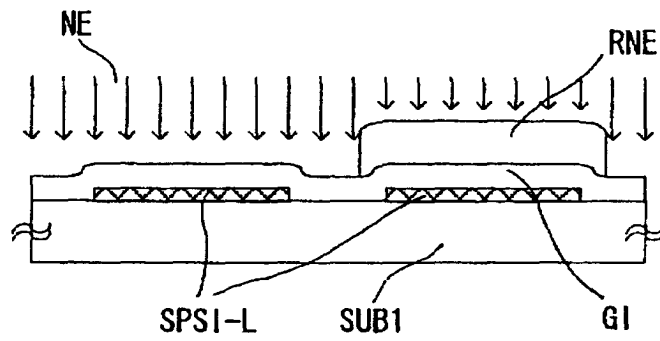
図 11



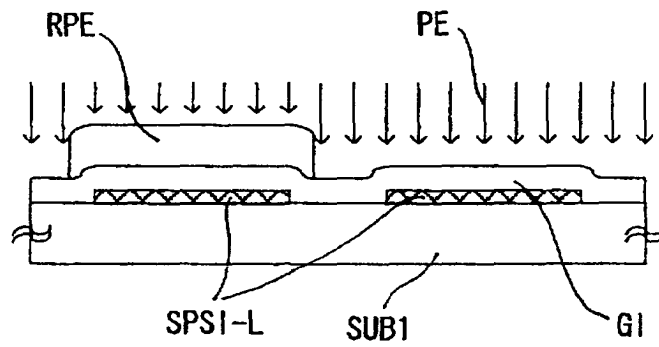
【図12】

図 1 2

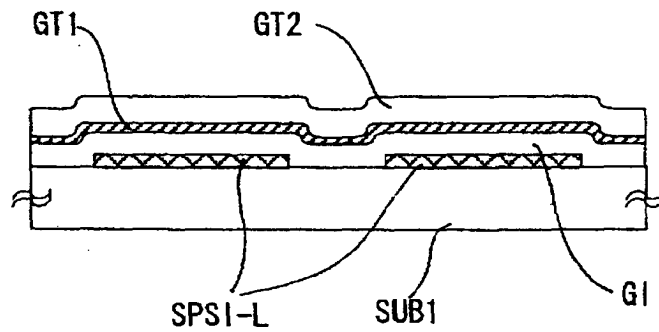
(G)



(H)

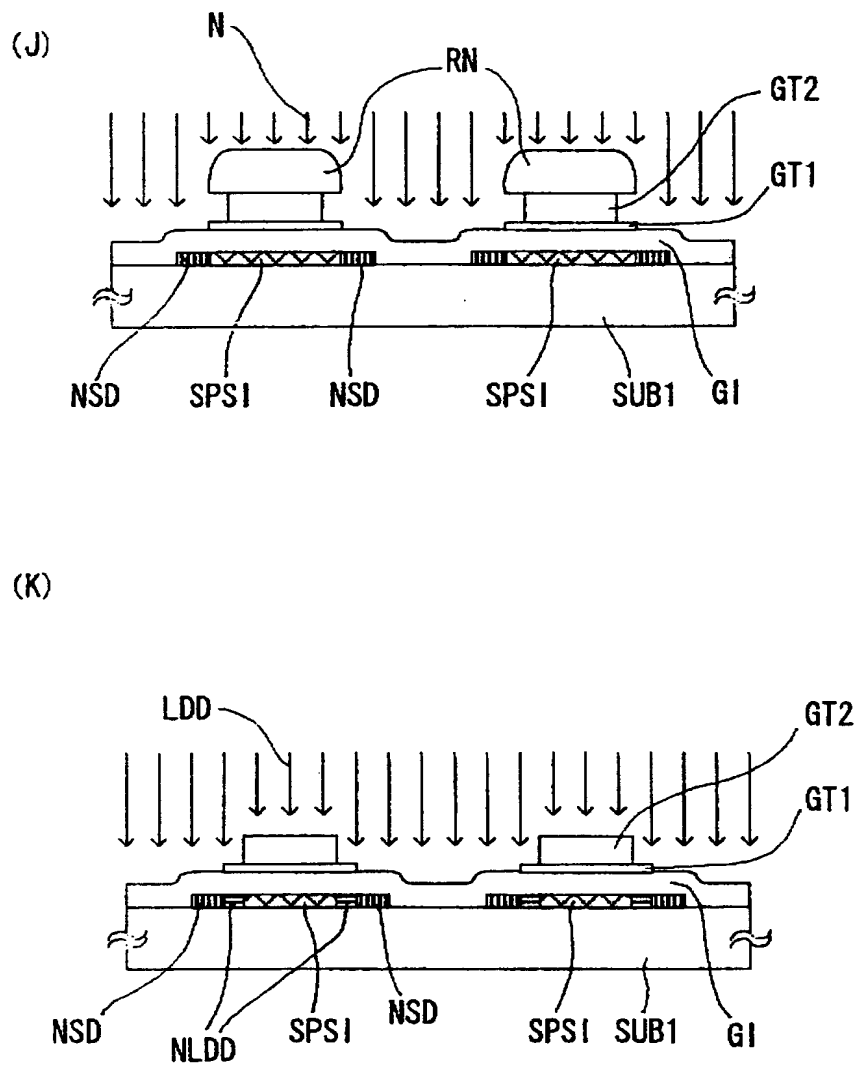


(I)



【図 1 3】

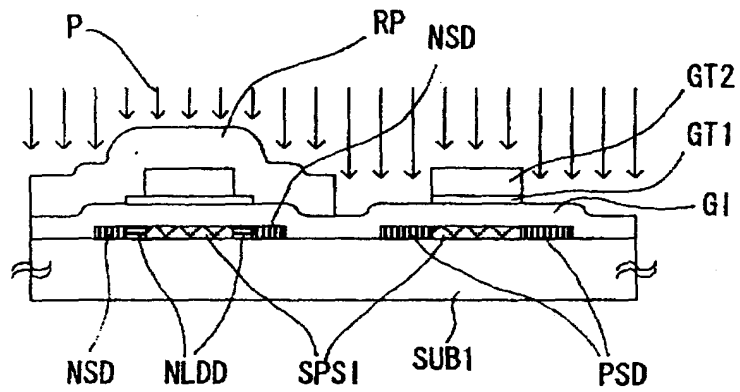
図 1 3



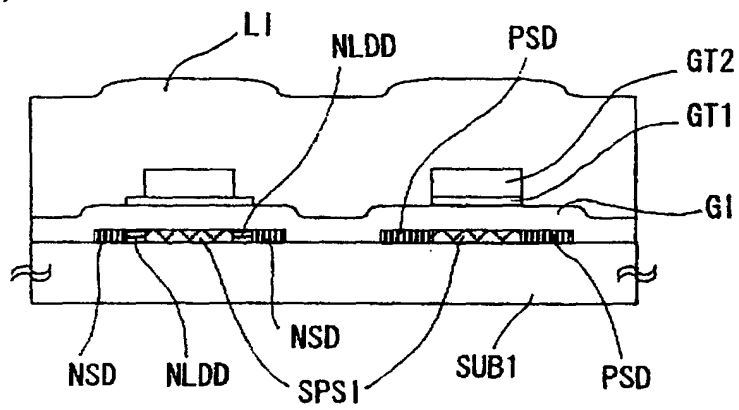
【図 14】

図 14

(L)

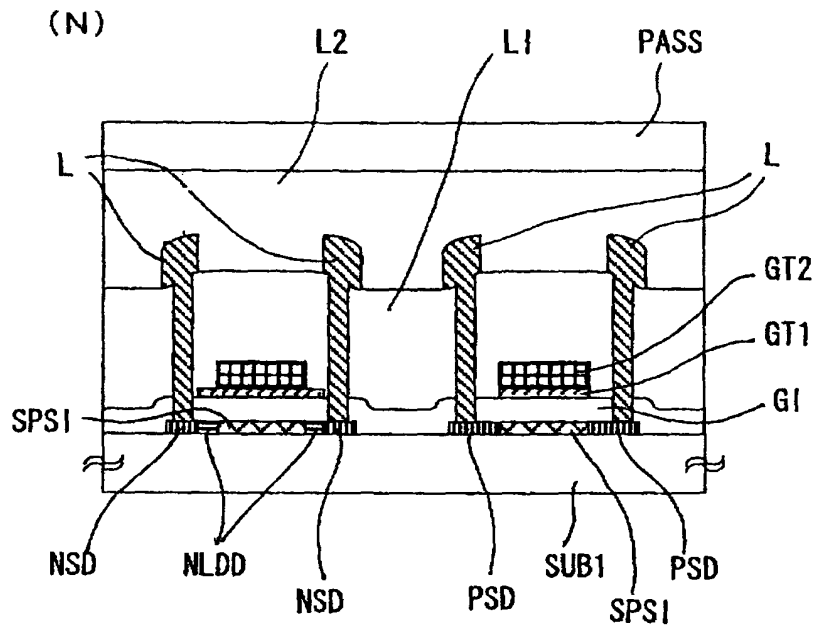


(M)



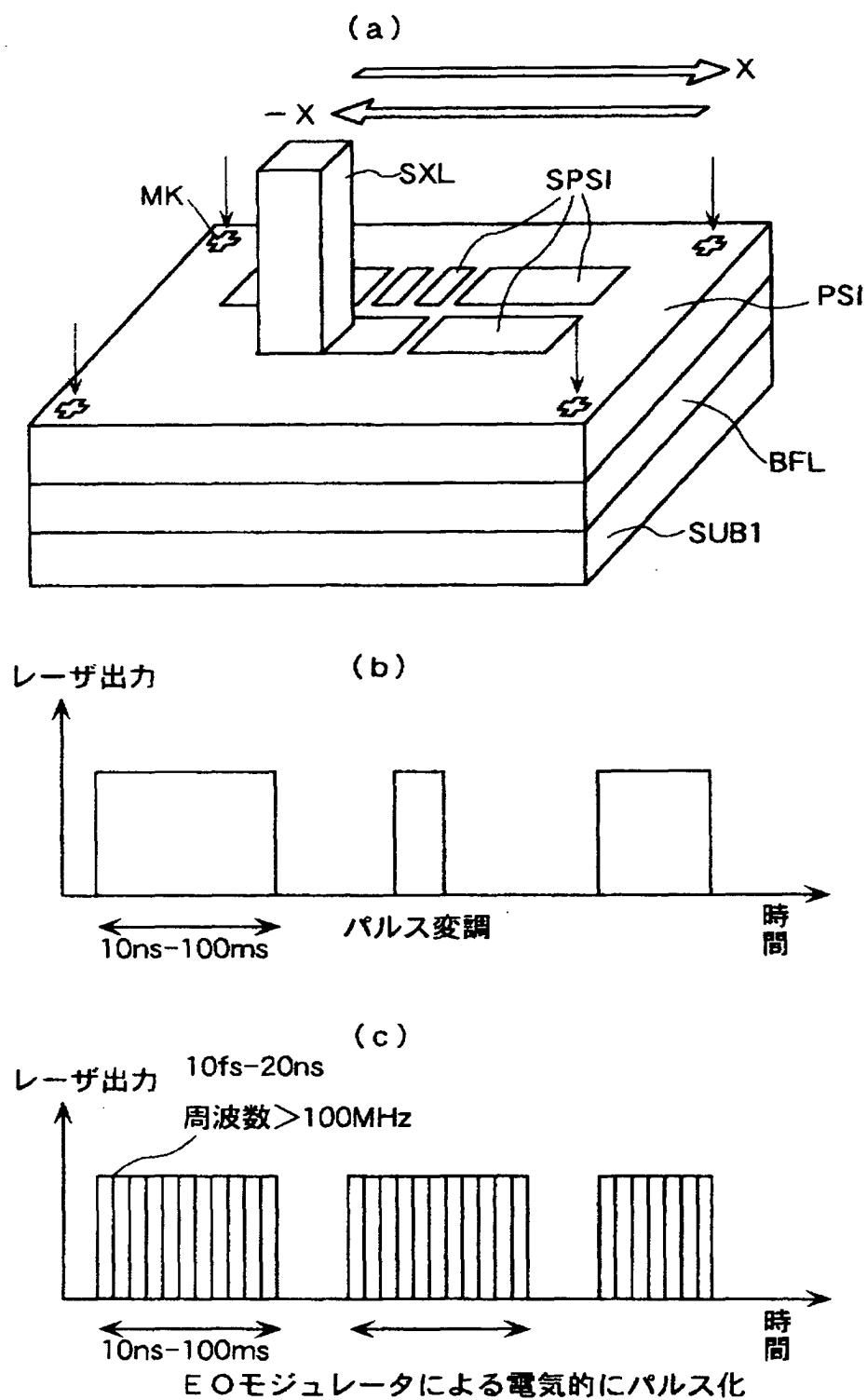
【図15】

図 15

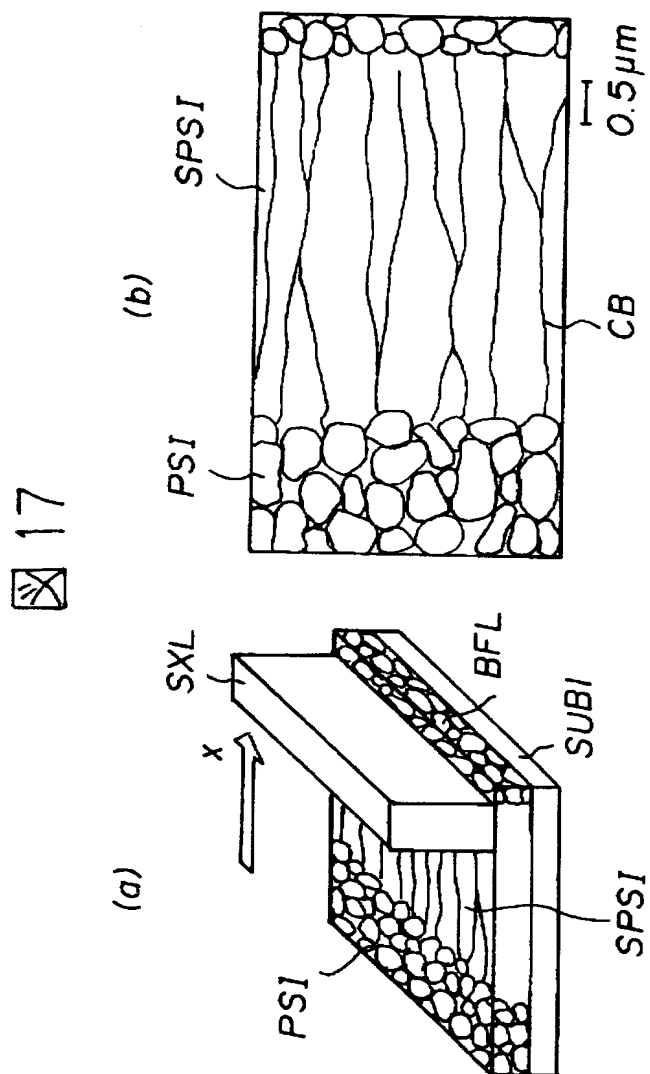


【図16】

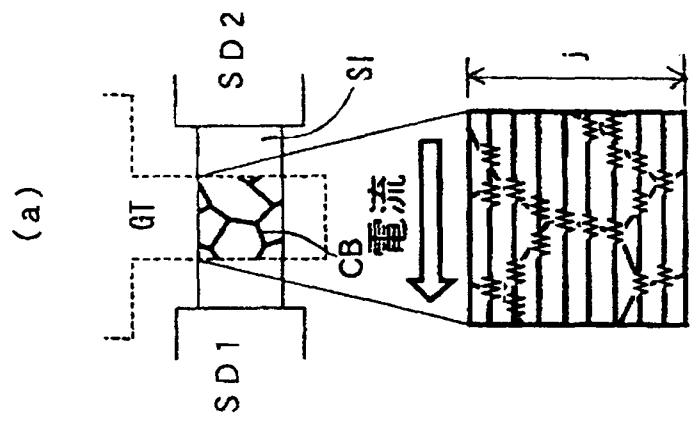
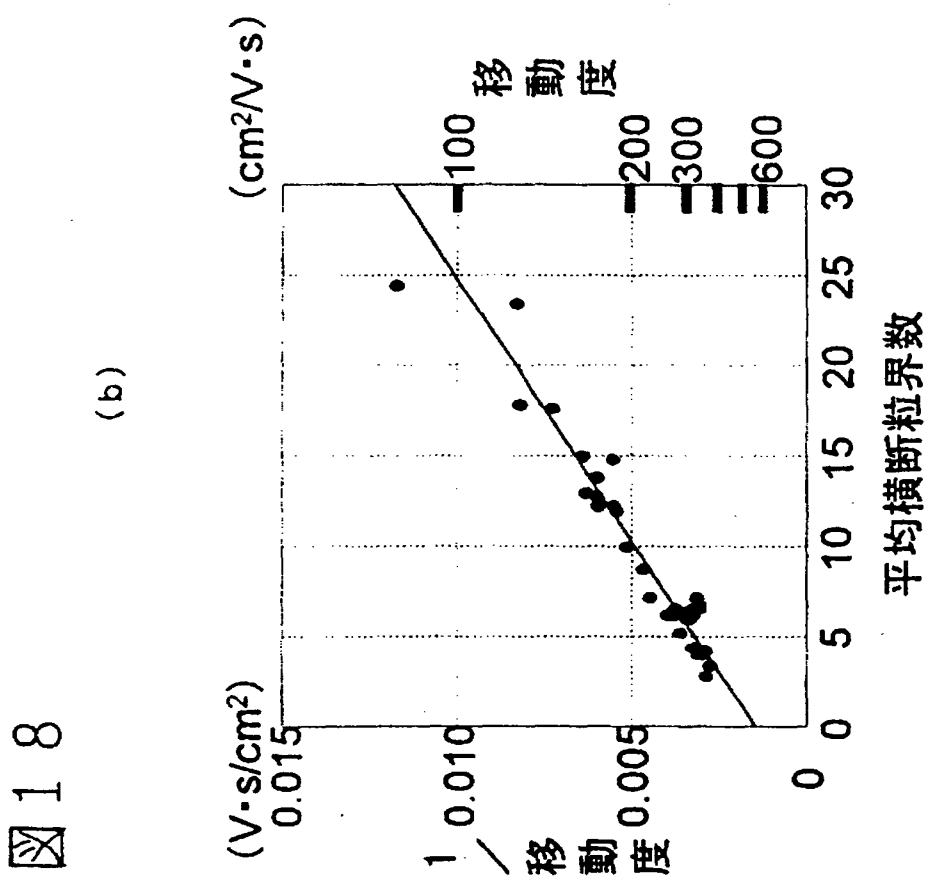
図 1 6



【図17】

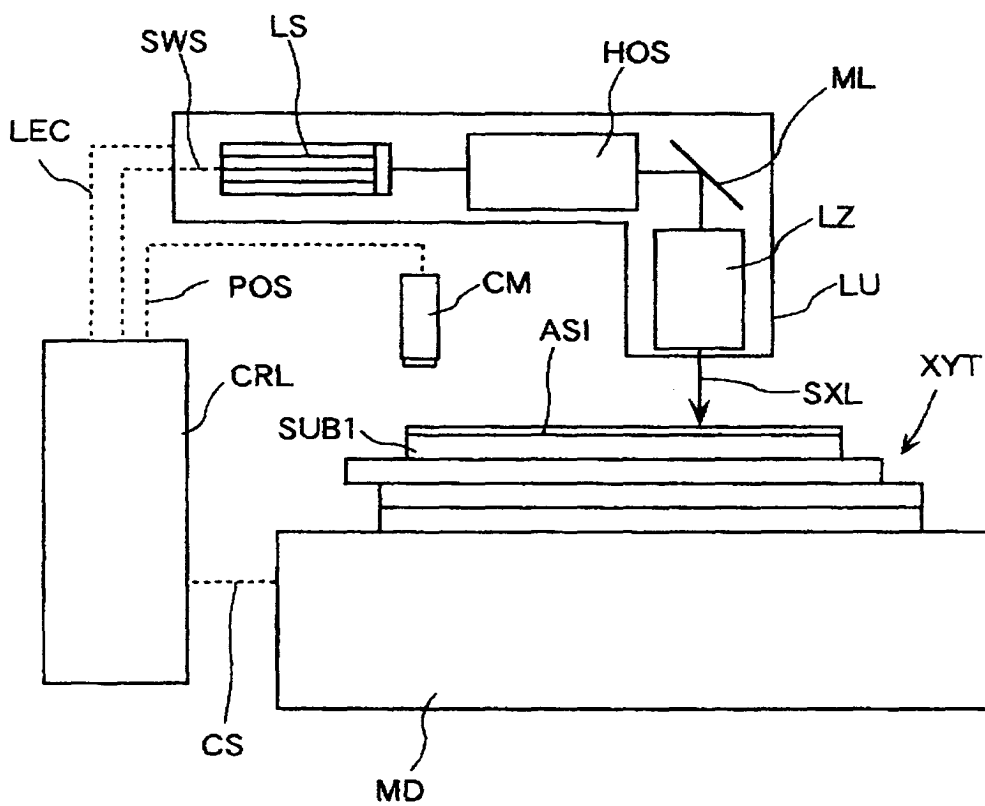


【図 18】



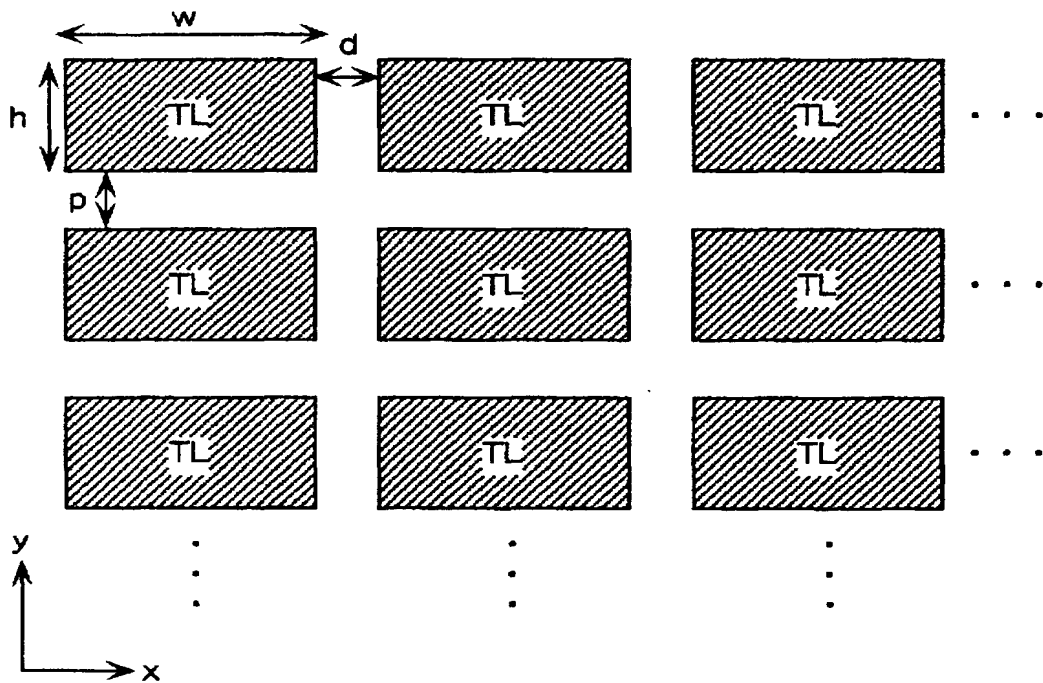
【図 19】

図 19



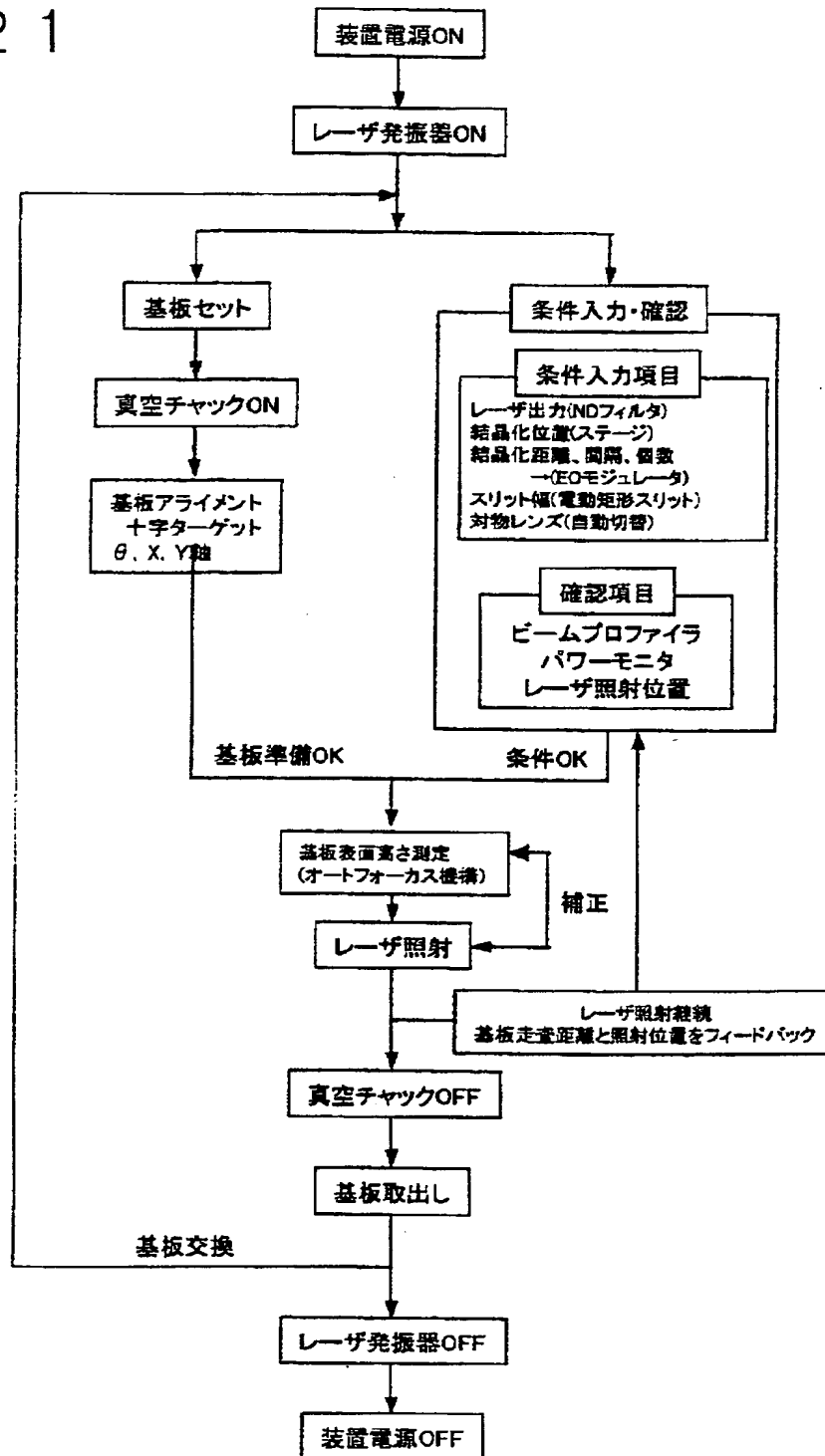
【図 2 0】

図 2 0



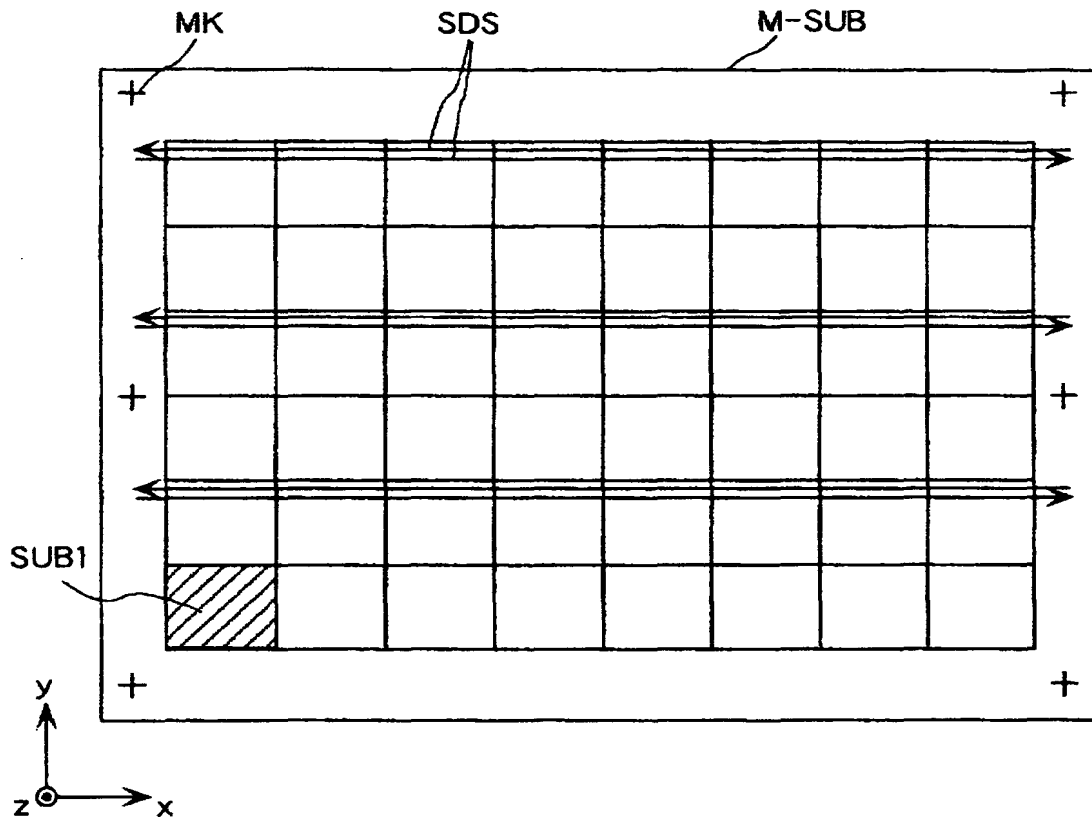
【図 21】

図 21



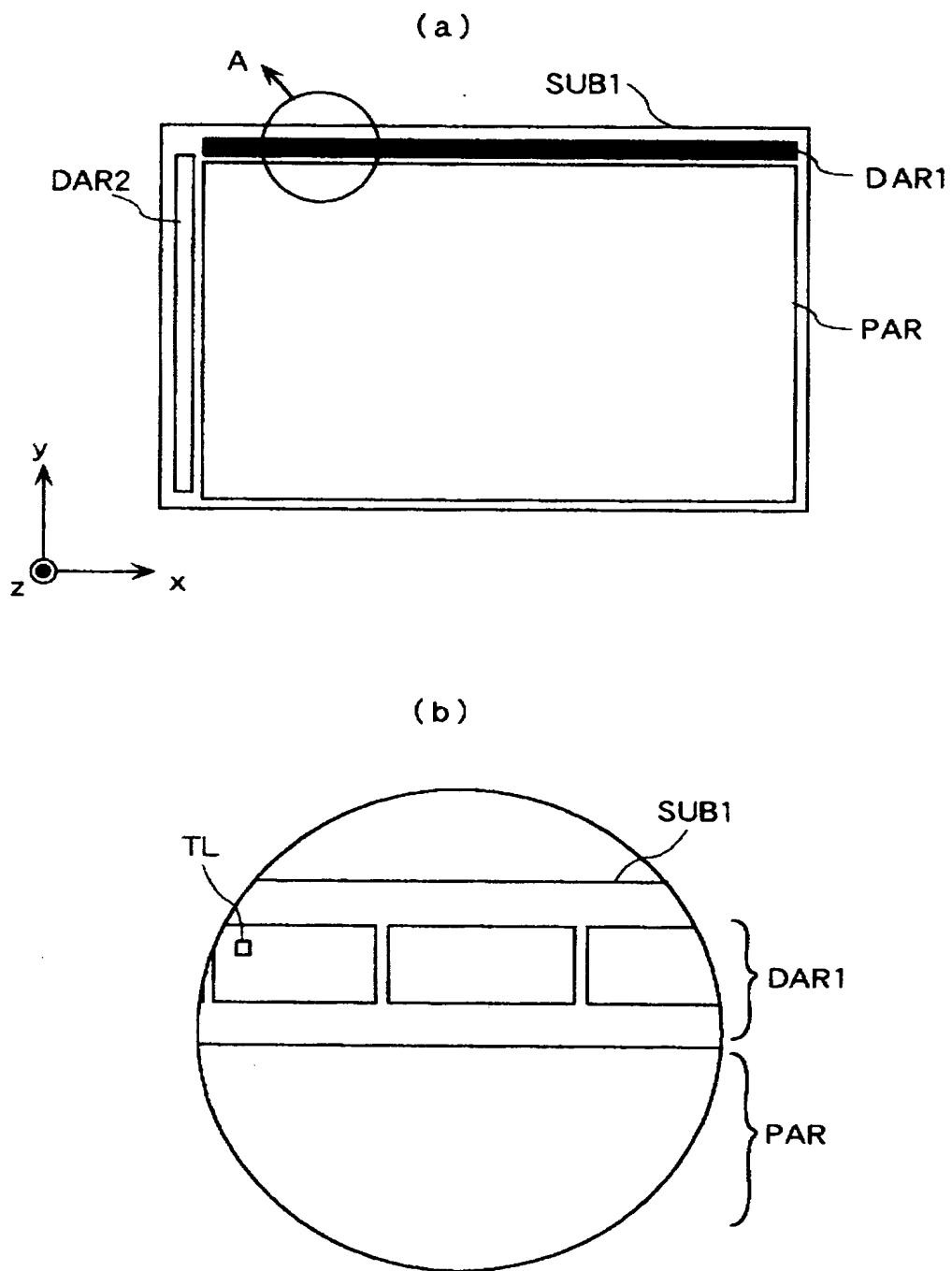
【図 22】

図 22



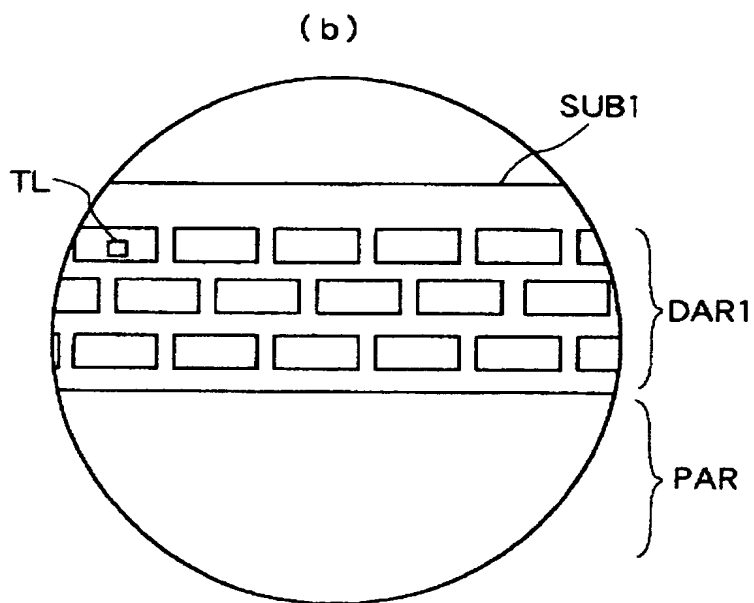
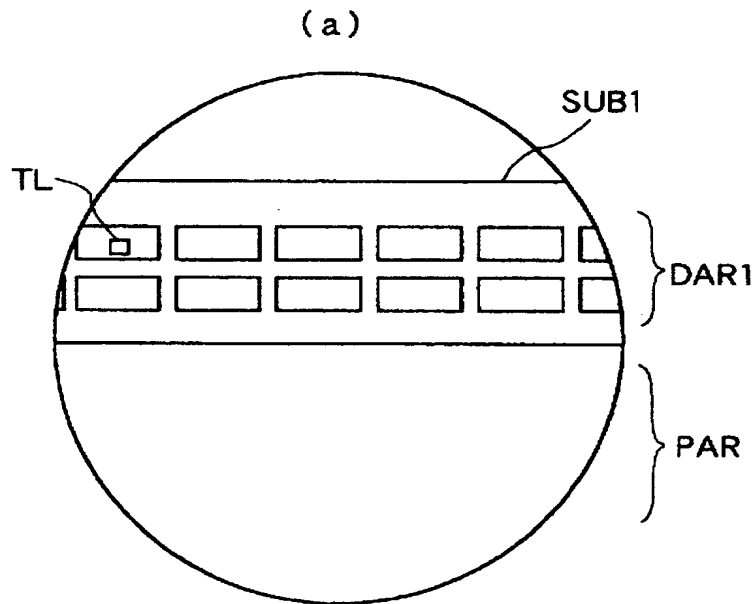
【図 23】

図 23



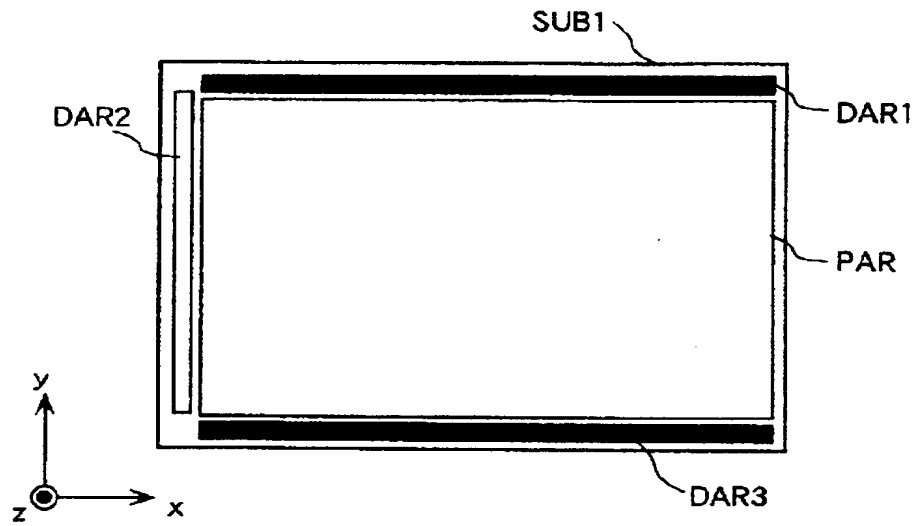
【図 2 4】

図 2 4



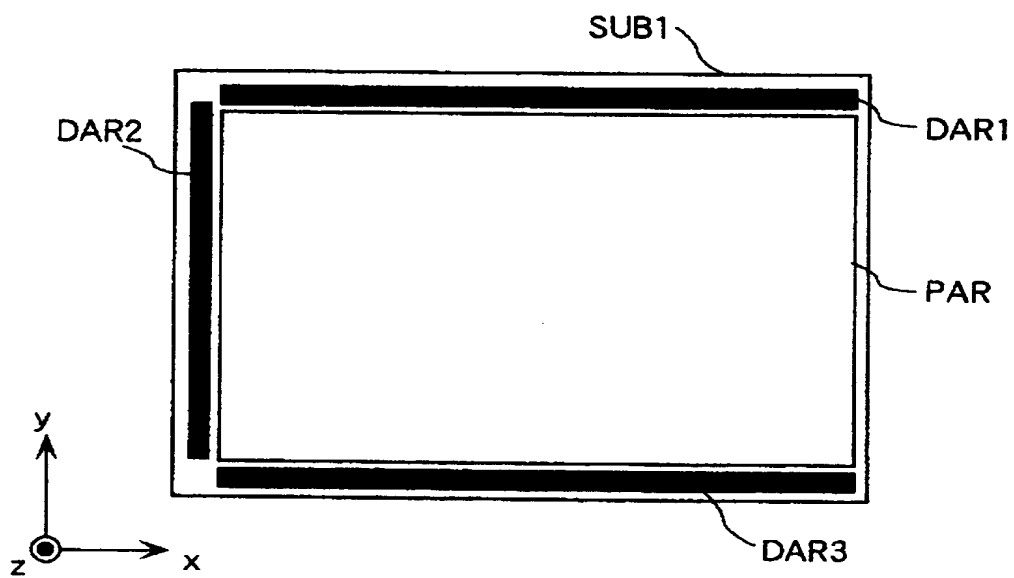
【図 2 5】

図 2 5



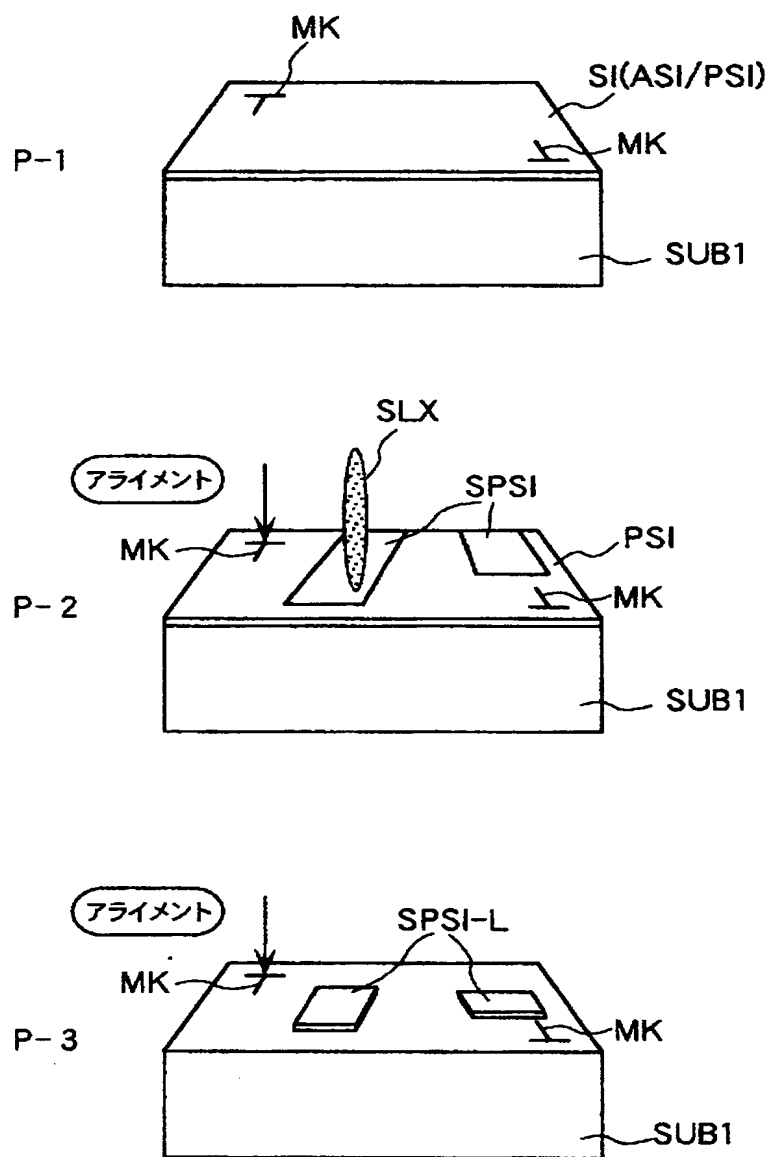
【図 2 6】

図 2 6



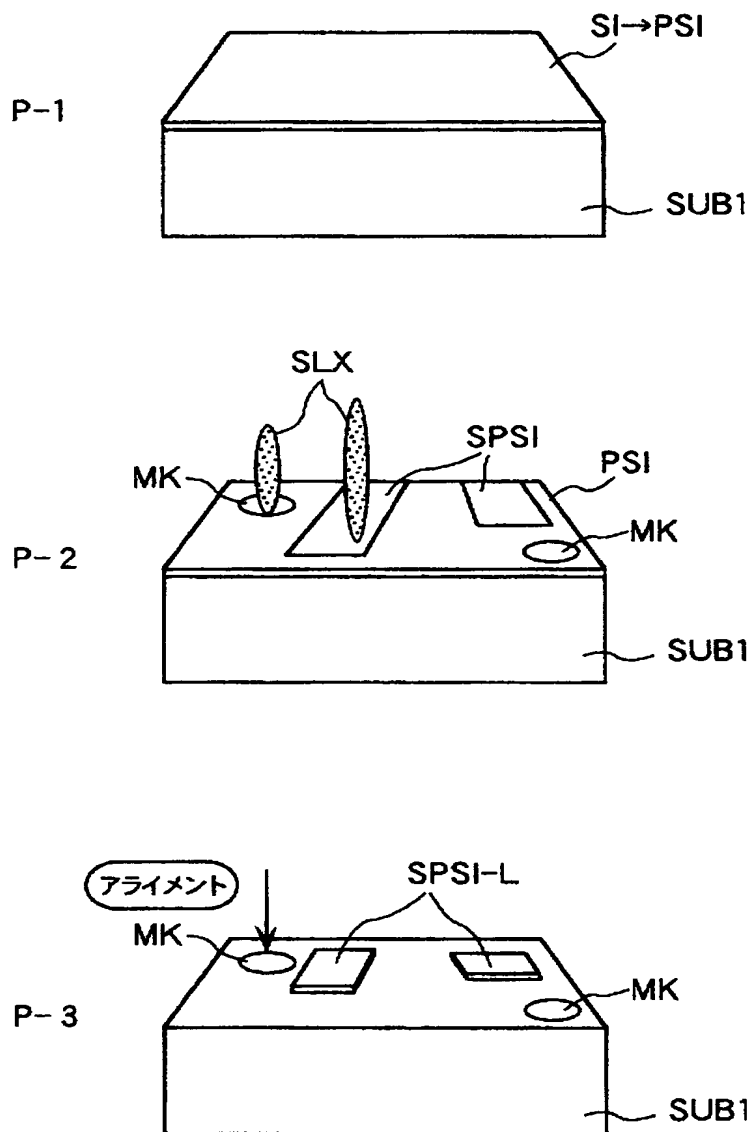
【図 27】

図 27



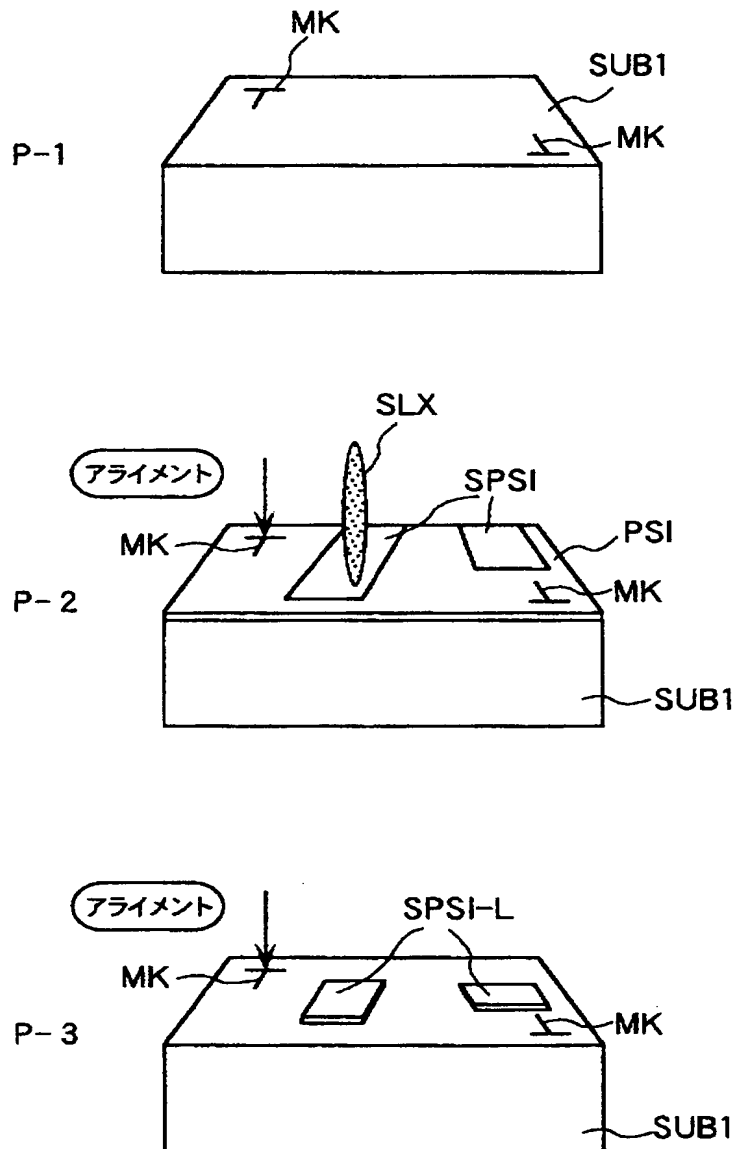
【図 2 8】

図 2 8



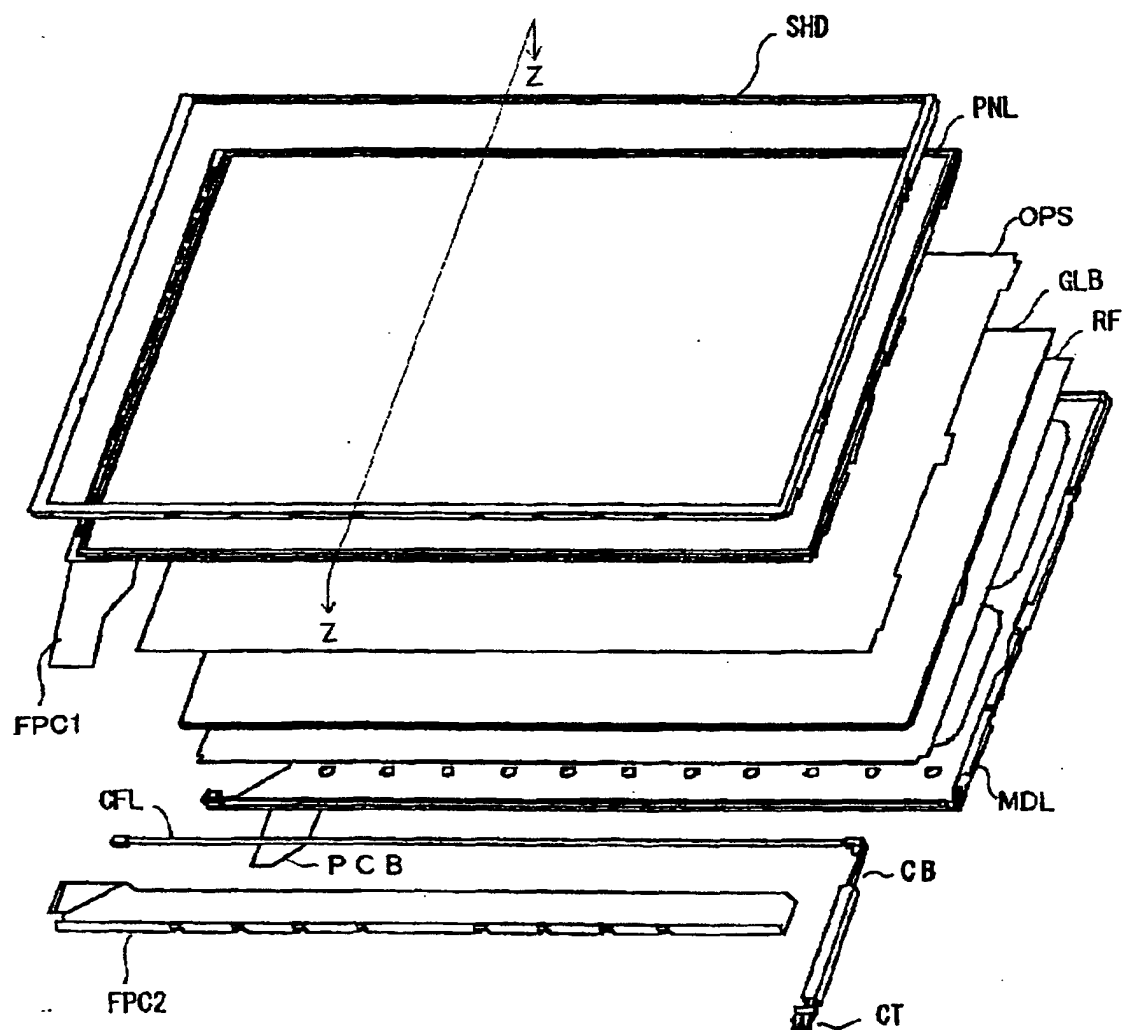
【図 2 9】

図 2 9



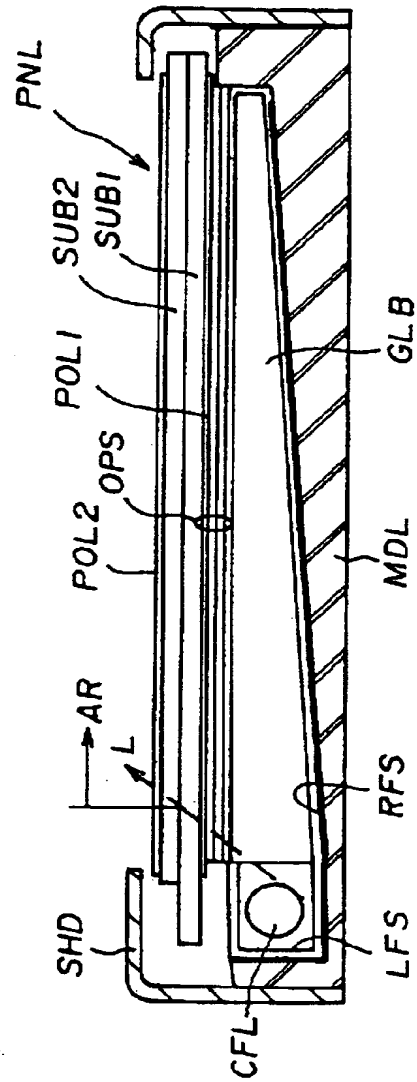
【図30】

図30



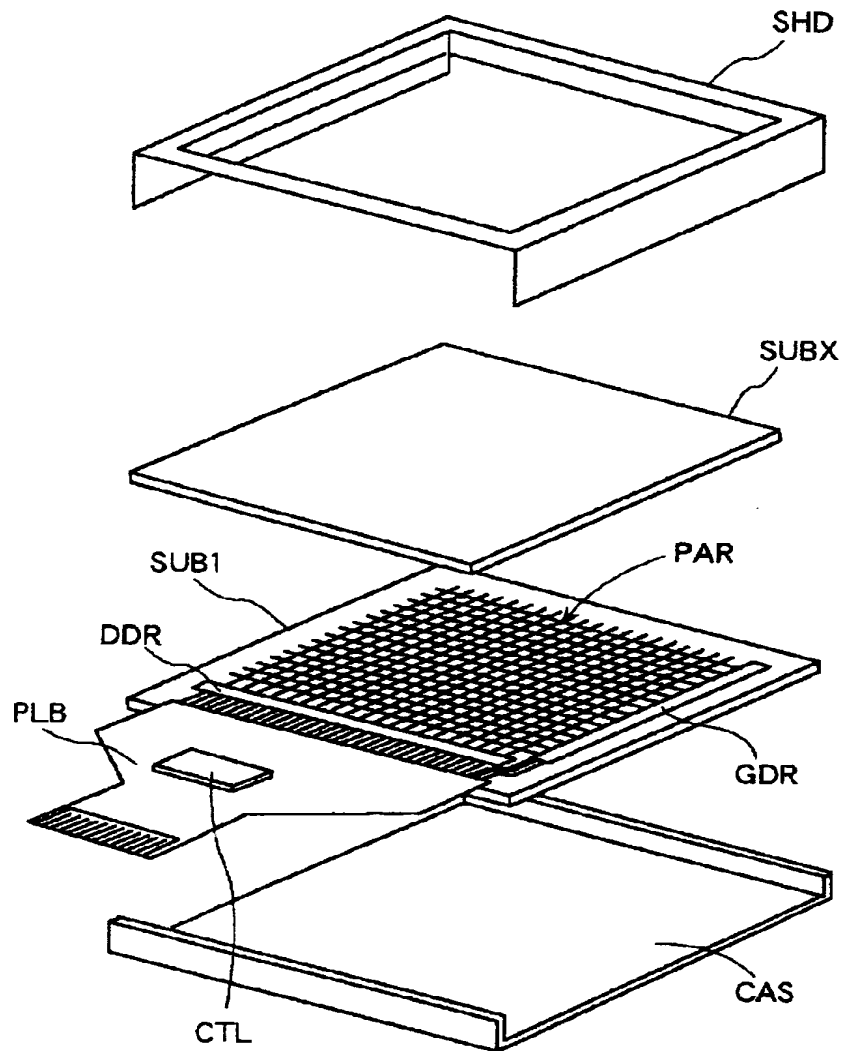
【図 31】

図 31



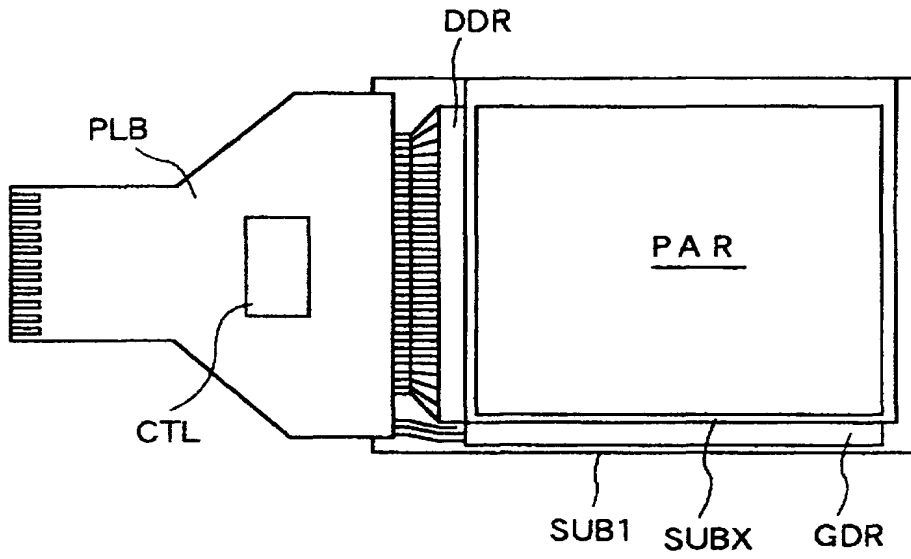
【図 3 2】

図 3 2



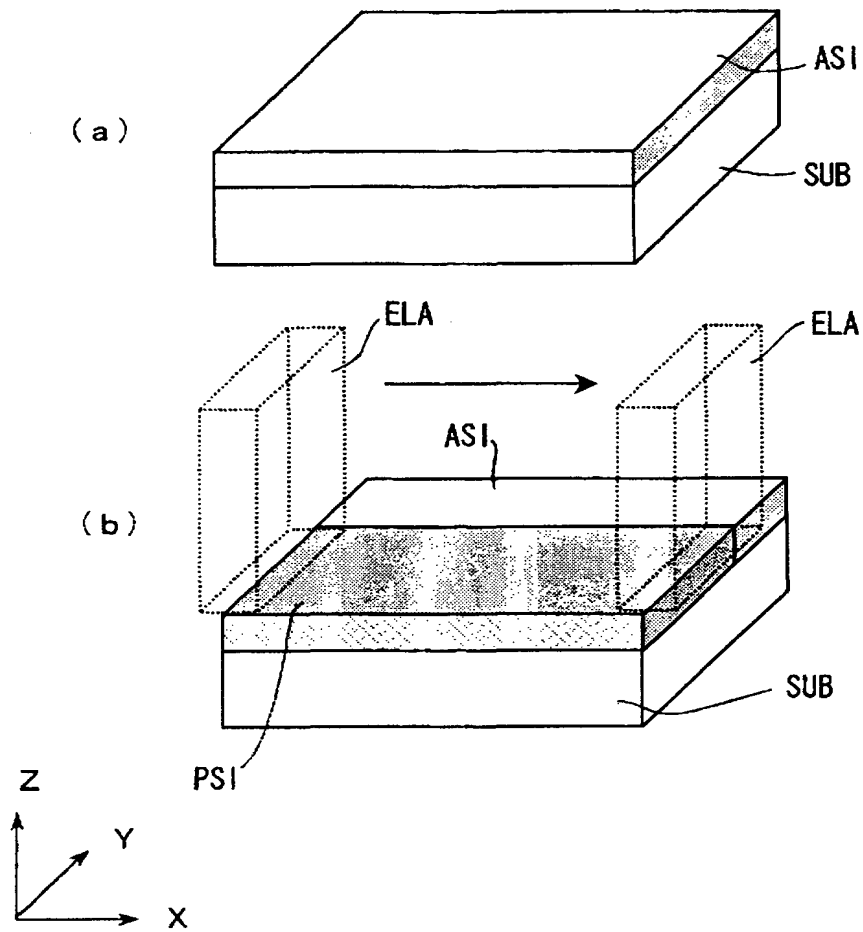
【図 3 3】

図 3 3



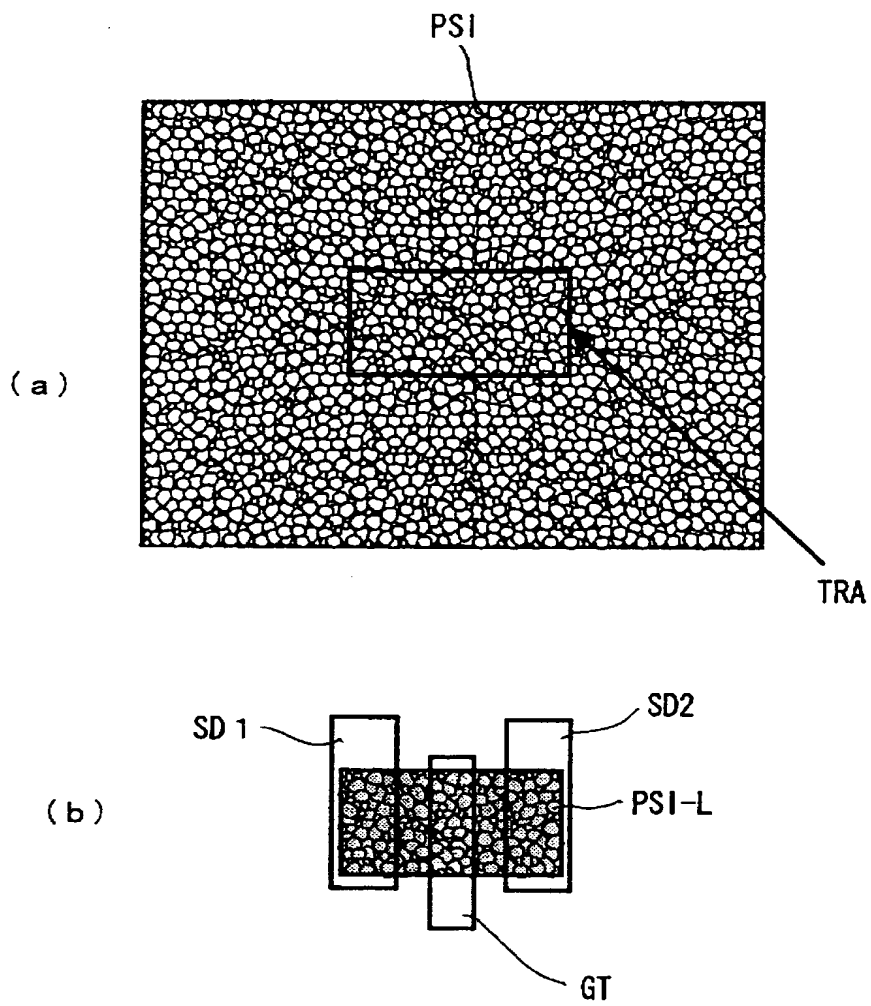
【図 34】

図 34



【図 3 5】

図 3 5



【書類名】 要約書

【要約】

【課題】 マトリクス状に配置された画素部を駆動するための駆動回路に高速の移動度で動作する高性能の薄膜トランジスタ等のアクティブ素子を持つ駆動回路を有するアクティブ・マトリクス基板を備えた画像表示装置を得る。

【解決手段】 アクティブ・マトリクス基板 SUB 1 の画素領域 PAR の周辺に有する駆動回路 DDR を構成する回路部分に形成した略帯状結晶シリコン膜の不連続改質領域（仮想タイル） TL に、チャネル方向が略帯状結晶シリコン膜の結晶成長方向となるように作り込んだ薄膜トランジスタ等のアクティブ素子を有する駆動回路を配置した。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所